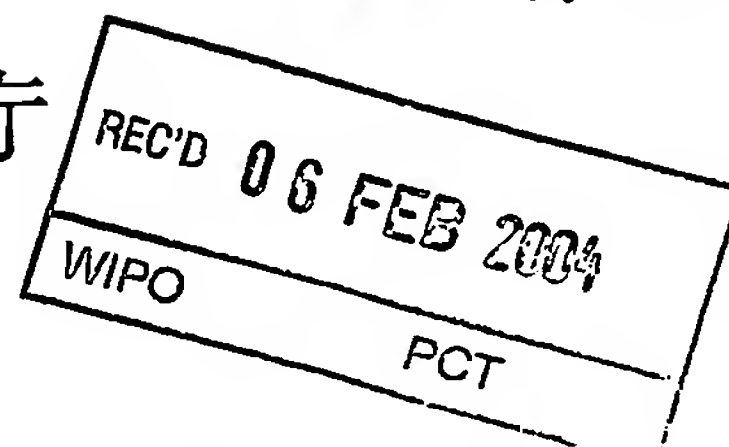


16. 1. 2004

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 1月20日

出願番号  
Application Number: 特願2003-010533  
[ST. 10/C]: [JP2003-010533]

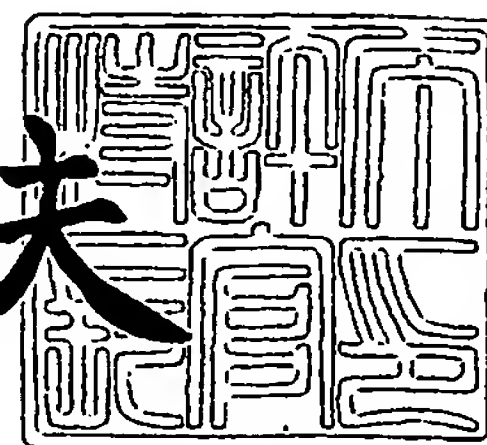
出願人  
Applicant(s): 日本電気株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年12月 3日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 33409944

【あて先】 特許庁長官 殿

【国際特許分類】 H03G 3/10  
H03H 11/04

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 堀 真一

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100096253

【住所又は居所】 東京都台東区東上野一丁目 1 9 番 1 2 号 偕楽ビル

【弁理士】

【氏名又は名称】 尾身 祐助

【手数料の表示】

【予納台帳番号】 003399

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9002137

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 利得可変電圧・電流変換回路とこれを用いたフィルタ回路

【特許請求の範囲】

【請求項 1】 入力電圧に対応した電流を出力する回路であって、電圧・電流変換を行う、入力端子と出力側端子と接地側端子とを有する能動素子と、前記能動素子の接地側にて該能動素子に直列に接続された、該能動素子の変換利得を制御する抵抗値可変の抵抗回路とを有し、前記抵抗回路は、負性抵抗素子を含むことを特徴とする利得可変電圧・電流変換回路。

【請求項 2】 互いに相補の入力電圧に対応した相補の電流を出力する回路であって、電圧・電流変換を行う、それぞれが入力端子と出力側端子と接地側端子とを有する差動動作する一対の能動素子と、各能動素子の接地側にて該能動素子に直列に接続された、それぞれの能動素子の変換利得を制御する、抵抗値可変の一対の抵抗回路とを有し、前記各抵抗回路は、負性抵抗素子を含むことを特徴とする利得可変電圧・電流変換回路。

【請求項 3】 前記負性抵抗素子は、抵抗値可変の抵抗素子であることを特徴とする請求項 1 または 2 に記載の利得可変電圧・電流変換回路。

【請求項 4】 前記抵抗回路は、前記電圧・電流変換を行う能動素子に直列に接続された 1 ないし複数の抵抗素子といずれかの抵抗素子と並列接続された負性抵抗素子とによって構成されることを特徴とする請求項 1 から 3 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 5】 前記抵抗回路は、前記電圧・電流変換を行う能動素子に直列に接続された、抵抗素子と負性抵抗素子との直列回路によって構成されることを特徴とする請求項 1 から 3 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 6】 前記抵抗回路は、前記電圧・電流変換を行う能動素子に直列に接続された第 1 の抵抗素子と、該第 1 の抵抗素子と並列接続された、負性抵抗素子と第 2 の抵抗素子との直列回路とによって構成されることを特徴とする請求項 1 から 3 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 7】 対をなす前記負性抵抗素子は、前記能動素子と前記抵抗回路との節点若しくは前記抵抗回路内の任意の節点のノード信号を入力信号とし交差

接続されて差動動作する一対の能動素子で実現されることを特徴とする請求項 2 記載の利得可変電圧・電流変換回路。

【請求項 8】 前記負性抵抗素子は、電界効果トランジスタまたはバイポーラトランジスタにより構成されることを特徴とする請求項 1 から 7 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 9】 負性抵抗素子として動作する電界効果トランジスタまたはバイポーラトランジスタのソース電位またはエミッタ電位を制御することにより負性抵抗素子の抵抗値を制御することを特徴とする請求項 8 に記載の利得可変電圧・電流変換回路。

【請求項 10】 負性抵抗素子として動作するトランジスタのソースまたはエミッタと基準電位点間には電圧発生回路が接続され、該電圧発生回路の発生する電圧を制御することにより負性抵抗素子の抵抗値を制御することを特徴とする請求項 9 に記載の利得可変電圧・電流変換回路。

【請求項 11】 前記電圧発生回路は、第 1 入力端子に電位制御信号が入力されるオペアンプと、該オペアンプの出力端子に第 1 入力端子が接続されその出力端子が前記オペアンプの第 2 入力端子に接続された能動素子とにより構成されていることを特徴とする請求項 10 に記載の利得可変電圧・電流変換回路。

【請求項 12】 負性抵抗素子が、差動動作する一対の電界効果トランジスタまたはバイポーラトランジスタにより実現されているとき、対をなすトランジスタのソース同士またはエミッタ同士は互いに接続されていることを特徴とする請求項 9 に記載の利得可変電圧・電流変換回路。

【請求項 13】 前記電圧・電流変換を行う能動素子と前記抵抗回路との接続節点には、該接続節点の電位を調整する電位調整手段が接続されていることを特徴とする請求項 1 から 12 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 14】 前記電位調整手段が、基準電位と前記接続節点間に接続された、入力端子にバイアス信号が入力される能動素子によって構成されていることを特徴とする請求項 13 に記載の利得可変電圧・電流変換回路。

【請求項 15】 前記電位調整手段による電位調整が、前記負性抵抗素子の抵抗値可変動作に伴って生じる前記接続節点の電位変動を補償するものであるこ

とを特徴とする請求項 13 または 14 に記載の利得可変電圧・電流変換回路。

【請求項 16】 前記抵抗回路には、正抵抗値の可変抵抗器が含まれていることを特徴とする請求項 1 から 15 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 17】 前記可変抵抗器が能動素子によって形成されていることを特徴とする請求項 16 に記載の利得可変電圧・電流変換回路。

【請求項 18】 前記電圧・電流変換を行う能動素子が電界効果トランジスタまたはバイポーラトランジスタによって構成されていることを特徴とする請求項 1 から 17 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 19】 前記電圧・電流変換を行う能動素子と前記負性抵抗素子を構成する能動素子とが導電型の異なる同種のトランジスタによって構成されていることを特徴とする請求項 1 から 18 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 20】 請求項 1 ～ 19 のいずれかに記載された利得可変電圧・電流変換回路と容量素子との組み合わせ回路を含むフィルタ回路であって、前記可変利得電圧・電流変換回路の利得を変化させることにより通過帯域を調整することが可能なフィルタ回路。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、変換利得が可変の、利得可変電圧・電流変換回路、すなわち変換利得が可変の gm アンプに関し、特に広い利得可変範囲を有する利得可変電圧・電流変換回路とその利得可変電圧・電流変換回路と容量素子との組み合わせ回路を含むフィルタ回路とに関するものである。

##### 【0002】

#### 【従来の技術】

近年、複数の無線通信方式に対応した受信機（＝マルチモード対応受信機）の出現が求められている。このシステムを構成するためには、個々の通信方式に対応したチャネル選択フィルタ回路（＝マルチモード対応フィルタ）が必要であり



、このフィルタには、通過帯域幅を広範囲に渡って可変にできる機能が求められている。一般的に受信機をワンチップで構成するとき、チャネル選択フィルタには、電圧・電流変換回路（=gmアンプ）と容量素子とで構成する、gm-C方式が使われる。先にあげた通過帯域幅に可変特性の機能を持たせるためには、gmアンプに、広範囲に渡って変換利得を変化させ得る特性を持たせる必要がある。

gmアンプは、具体的には、バイポーラトランジスタ、MOSトランジスタ等のアクティブ素子で構成されるが、実際の設計においては、プロセスバラツキに対応するために、gm値を設計値に対して、-30%~+30%の間で電氣的に制御可能になっているものが多い。その範囲を超えて調整するためには、スイッチ回路を用いて切り替える方式が一般的である。

#### 【0003】

一例として、ソースデジェネレーションの手法により線型性を高めた広利得可変範囲を持つMOS型gmアンプを図24に示す（例えば、非特許文献1参照）。図24は、図23に示すソースデジェネレーション型gmアンプを差動型に構成した回路である。図23の回路において、電圧・電流変換を行うn型MOSトランジスタQ21のゲートに入力電圧信号 $V_{in}$ を入力すると出力電流 $I_{out}$ が得られる。図24の回路は、図23の正抵抗R21を、正抵抗R21、R23、R25（R22、R24、R26）に分割し、対応する各分割点の差動対を、スイッチ回路SW1およびSW2を介して接続したものである。図24において、Q21、Q22は、電圧・電流変換を行うn型MOSトランジスタである。

図23に示す回路のGm値（= $I_{out}/V_{in}$ ）は、Q21の相互コンダクタンスを $g_{m0}$ 、抵抗R21の抵抗値をRとして下記の式（1）で与えられる。

#### 【0004】

##### 【数1】

$$G_m = \frac{g_{m0}}{1 + g_{m0} \cdot R} \quad \dots(1)$$

上式は、R21の抵抗値を可変にすることでGmを制御できることを示している。

#### 【0005】

図24において、スイッチ回路がすべてオフ状態の時、MOSトランジスタQ2

1 (Q22) のソースとグランド間の抵抗値は、 $R_{21}$ 、 $R_{23}$ 、 $R_{25}$  ( $R_{22}$ 、 $R_{24}$ 、 $R_{26}$ ) までの抵抗値の総和で表される。一方、スイッチ回路 SW1 がオン状態の時、この回路が差動回路であることを考慮すると、SW1 を含むノードが交流的に接地されたことに等しくなる。このため、MOSトランジスタ Q21 (Q22) のソースとグランド間には、交流的には抵抗  $R_{21}$  ( $R_{22}$ ) のみが接続されていることに等しくなる。すなわち、式 (1) の  $R$  は、スイッチ回路 SW1、SW2 がオフ状態の時、 $R_{R21} + R_{R23} + R_{R25}$  ( $R_{R22} + R_{R24} + R_{R26}$ ) となり、スイッチ回路 SW1 がオン状態の時には  $R_{R21}$  ( $R_{R22}$ ) となる。 $R_{R21} \sim R_{R26}$  が全て等しく、 $g_{m0} = 1/R_{R21}$  のとき、式 (1) の  $G_m$  は2倍可変である。この図24の回路の特徴は、スイッチで切り替えてもバイアス電圧は、各ノードで変化しないため、式 (1) の  $g_{m0}$  は一定値として扱うことができ、抵抗値の制御のみで  $G_m$  を可変にできることである。

#### 【0006】

図25は、第二の従来例を示した回路図である（例えば、非特許文献2参照）。図25 (a) は全体の構成を示す回路図、図25 (b) は、(a) 図中のプログラマブルカレントミラー回路の構成を示す回路図である。図25において、Q23～Q26はp型MOSトランジスタ、Q27～Q36はn型MOSトランジスタ、CS1～CS3は電流源、VSは電圧源、SW3～SW5はスイッチ回路である。この回路では、 $g_m$ アンプの出力電流の流れるMOSトランジスタQ31～Q33を並列配置し、スイッチ回路SW3～SW5を用いて稼動するMOSトランジスタを選択できる構成になっている。

MOSトランジスタQ23、Q24およびQ25、Q26のゲートに、差動の入力電圧信号  $V_{in+}$ 、 $V_{in-}$  が入力されると、この4つのMOSトランジスタを通して、2つのカレントミラー回路G1およびG2に、差動入力電圧に対応した差動成分を持った電流が流れ込む。G1およびG2では、差動成分をSW3～SW5を切り替えることにより、差動成分を所望の倍率に増幅して電流出力を取り出すことができる。

#### 【0007】

図示された状態では、カレントミラー回路G1およびG2は、スイッチ回路S

W3、SW4が電源側にパスをもつことにより、トランジスタQ31、Q32が稼動状態となっている。この状態からGm値を下げるには、スイッチ回路SW4のパスを接地側に切り替えると、Q32が非稼動状態となってGm値が下がる。図示された状態からGm値を上げるには、スイッチ回路SW5のパスを電源側に切り替えると、Q33が稼動状態となってGm値が上がる。

この回路の特徴は、スイッチ回路の一端は、MOSトランジスタのゲートに接続されるため、スイッチ回路の寄生成分（抵抗・容量成分等）の影響が少なくなることである。また、並列させるMOSトランジスタの数を増やすほどGm値の可変幅を大きくすることができる。

#### 【0008】

##### 【非特許文献1】

IEEE JSSC vol.35, no.4, pp.476-489, Apr. 2000

##### 【非特許文献2】

IEEE JSSC vol.37, No.2, pp.125-136, Feb. 2002

#### 【0009】

##### 【発明が解決しようとする課題】

上述した従来例では、gmアンプに広利得可変範囲を持たせるためには、スイッチ回路を用いる必要があったため、制御にデジタル回路を必要とし、回路構成が複雑となり、チップ面積の増大を招いていた。また、第一の従来例（図24）の回路においては、電流がスイッチ回路を流れるために、スイッチ回路の寄生的なインピーダンスの影響が大きくなっていた。図25の第二の従来例回路においても、広利得可変範囲を持たせるためには、多くの電流源として用いるMOSトランジスタを並列させなければならず、最小数のMOSトランジスタのみを稼動させる時には、その他の非稼動のMOSトランジスタの容量成分の影響が大きくなるという問題があった。そのため、このgmアンプを用いて通過帯域可変フィルタを形成する場合には、フィルタの構成が複雑となり、チップの大型化を招いていた。

#### 【0010】

本発明の課題は、上述した従来回路の問題点を解決することであって、その目的は、第1に、スイッチ回路を必要とせず、唯一つの制御端子に調整電圧を与え



ることにより利得を広範囲にわたって変化させることのできる利得可変電圧・電流変換回路を実現することであり、第2に、回路構造の簡易化を図り、チップ面積の低減を実現することであり、第3に、通過帯域可変幅の大きいフィルタを簡素な回路構成により実現できるようにして低チップ面積のマルチモード受信機を実現できるようにすることである。

#### 【0011】

##### 【課題を解決するための手段】

上記の目的を達成するため、本発明によれば、入力電圧に対応した電流を出力する回路であって、電圧・電流変換を行う、入力端子と出力側端子と接地側端子とを有する能動素子と、前記能動素子の接地側にて該能動素子に直列に接続された、該能動素子の変換利得を制御する抵抗値可変の抵抗回路とを有し、前記抵抗回路は、負性抵抗素子を含むことを特徴とする利得可変電圧・電流変換回路、が提供される。

#### 【0012】

また、上記の目的を達成するため、本発明によれば、上記のように構成された利得可変電圧・電流変換回路と容量素子との組み合わせ回路を含むフィルタ回路であって、前記可変利得電圧・電流変換回路の利得を変化させることにより通過帯域を調整することが可能なフィルタ回路、が提供される。

#### 【0013】

##### (作用)

本発明によれば、電圧・電流変換を行う能動素子と直列に負性抵抗素子を含む抵抗値可変の抵抗回路が接続される。そして、抵抗回路においては、負性抵抗素子または正抵抗素子の抵抗値を変化させることができるように構成することにより、その抵抗値を大幅に変化させることが可能になる。よって、能動素子の電圧・電流変換利得の可変範囲を大きく確保することが可能になる。負性抵抗素子や正抵抗素子は、MOSトランジスタやバイポーラトランジスタによって構成することが可能であり、単一の制御信号によって抵抗値制御が可能であるため、スイッチ回路を使用する必要がなく、利得可変電圧・電流変換回路を少ない回路素子数でコンパクトに形成することが可能になる。したがって、このように構成され

た利得可変電圧・電流変換回路と容量素子とを組み合わせることにより、通過帯域可変幅の大きいフィルタを簡素な回路構成により実現することが可能になる。

#### 【0014】

#### 【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

図1 (a) は、本発明の第1の実施の形態を示す回路図であり、図1 (b) はその動作説明図である。本実施の形態では、電圧・電流変換を行う能動素子としてn型MOSトランジスタQ0が用いられ、この能動素子に直列に接続される抵抗回路が、負性抵抗NRと正抵抗R0とを並列に配置した回路になっている。

図1 (a) におけるgmアンプの動作原理を以下に示す。Gm値(=I<sub>out</sub>/V<sub>out</sub>)は、式(1)のRに、1/(1/R<sub>0</sub>-1/R<sub>NR</sub>)を代入したものになり、下の式(2)で表される。

#### 【0015】

#### 【数2】

$$G_m = \frac{1}{1 + \frac{1}{\frac{1}{R_0} - \frac{1}{R_{NR}}} g_{m0}} g_{m0} \quad \dots(2)$$

式(2)において、R<sub>0</sub>は正抵抗R0の抵抗値を、R<sub>NR</sub>は負性抵抗NRの抵抗値の絶対値を、g<sub>m0</sub>はMOSトランジスタQ0のgm値をそれぞれ示す。

図1 (b) は、式(2)においてR<sub>NR</sub>を変化させたときのGm値の変化を示すグラフである。図1 (b) において太線で示すように、R<sub>NR</sub>を、R<sub>0</sub>～無限大まで変化させることにより、Gm値を0から式(1)で示した値まで変化させることができる。すなわち、Gmは無限大の割合で変化させることができる。また、図1 (b) から分かるように、R<sub>NR</sub>を、R<sub>0</sub>/(1+g<sub>m0</sub>R<sub>0</sub>)～R<sub>0</sub>と変化させることにより、Gm値をマイナス無限大から0まで変化させることができ、更にはR<sub>NR</sub>を、0～R<sub>0</sub>/(1+g<sub>m0</sub>R<sub>0</sub>)と変化させることにより、Gm値をg<sub>m0</sub>/2 から無限大まで変化させることができ(R<sub>0</sub>=1/g<sub>m0</sub>として)、それぞれGmを無限大の割合で変化させることができる。但し、R<sub>NR</sub>をR<sub>0</sub>/(1+g<sub>m0</sub>R<sub>0</sub>)～R<sub>0</sub>と変化させる場合は、Gmが負値となり他の場合と出力電流I<sub>out</sub>の向きが逆になる。このように、本願発明は、Gm値

が負となる場合も包含している。而して、本願発明においては、 $R_{NR}$ は、必ずしも高範囲に変化させる必要はなく必要な $G_m$ 値の可変範囲に応じてその可変範囲を選定すればよい。例えば $R_{NR}$ を $R_0 \sim$ 無限大の範囲内の有限の範囲内に選定することができる。

#### 【0016】

図2 (a) は、本発明の第2の実施の形態を示す回路図あり、図2 (b) はその動作説明図である。本実施の形態でも、電圧・電流変換を行う能動素子としてn型MOSトランジスタ $Q_0$ が用いられ、この能動素子に直列に接続される抵抗回路が、負性抵抗 $N_R$ と正抵抗 $R_0$ とを直列に接続した回路になっている。

図2 (a) に示す第2の実施の形態においては、 $G_m$ は、式(1)の $R$ に $R_0 - R_{NR}$ を代入することによって得られ、式(3)に示すようになる。

#### 【0017】

#### 【数3】

$$G_m = \frac{1}{1 + (R_0 - R_{NR}) g_{m_0}} g_{m_0} \quad \dots(3)$$

図2 (b) は、式(3)において $R_{NR}$ を変化させたときの $G_m$ 値の変化を示すグラフである。本実施の形態においては、図2 (b) において太線で示すように、 $R_{NR}$ が無限大のとき $G_m=0$ 、 $R_{NR}$ が $R_0+1/g_{m_0}$ のとき $G_m$ =マイナス無限大となり、 $G_m$ に無限大の可変特性を持たせることができる。

#### 【0018】

図3 (a) は、本発明の第3の実施の形態を示す回路図あり、図3 (b) はその動作説明図である。本実施の形態でも、電圧・電流変換を行う能動素子としてn型MOSトランジスタ $Q_0$ が用いられ、この能動素子に直列に接続される抵抗回路は、正抵抗 $R_0$ と、負性抵抗 $N_R$ と正抵抗 $R_{00}$ との直列接続回路とを並列に配置した回路により構成されている。

第3の実施の形態においては、 $G_m$ は、式(1)の $R$ に $1/R_0 - 1/(R_{NR} - R_{00})$ を代入することによって得られ、式(4)に示すようになる。但し、 $R_{00}$ は、正抵抗 $R_0$ の抵抗値である。

#### 【0019】

## 【数 4】

$$G_m = \frac{1}{1 + \left( \frac{1}{\frac{1}{R_0} - \frac{1}{R_{NR} - R_{00}}} \right) g_{m_0}} g_{m_0} \quad \dots(4)$$

図 3 (b) は、式 (4) において  $R_{NR}$  を変化させたときの  $G_m$  値の変化を示すグラフである。図 3 (b) において太線で示すように、 $R_{NR} = R_0 + R_{00}$  で  $G_m = 0$ 、 $R_{NR}$  が無限大で  $G_m = g_{m_0}/2$  となり ( $R_0 = 1/g_{m_0}$  として)、 $G_m$  に無限大の可変特性を持たせることができる。

## 【0020】

図 4 (a) は、本発明の第 4 の実施の形態を示す回路図あり、図 4 (b) はその動作説明図である。本実施の形態でも、電圧・電流変換を行う能動素子として n 型 MOS トランジスタ  $Q_0$  が用いられ、この能動素子に直列に接続される抵抗回路は、正抵抗  $R_{00}$  と、負性抵抗  $N_R$  と正抵抗  $R_0$  との並列回路とを直列に接続した回路になっている。

本実施の形態における  $G_m$  値は、式 (1) の  $R$  に、 $R_{00} + 1/(\frac{1}{R_0} - \frac{1}{R_{NR}})$  を代入したものになり、下の式 (5) で表される。

## 【0021】

## 【数 5】

$$G_m = \frac{1}{1 + \left( R_{00} + \frac{1}{\frac{1}{R_0} - \frac{1}{R_{NR}}} \right) g_{m_0}} g_{m_0} \quad \dots(5)$$

図 4 (b) は、式 (5) において  $R_{NR}$  を変化させたときの  $G_m$  値の変化を示すグラフである。図 4 (b) において太線で示すように、 $R_{NR} = R_0$  で  $G_m = 0$ 、 $R_{NR}$  が無限大で  $G_m = g_{m_0}/3$  となり ( $R_0 = R_{00} = 1/g_{m_0}$  として)、 $G_m$  に無限大の可変特性を持たせることができる。

## 【0022】

図 5 (a) は、本発明の第 5 の実施の形態を示す回路図あり、図 5 (b) はその動作説明図である。本実施の形態でも、電圧・電流変換を行う能動素子として n 型 MOS トランジスタ  $Q_0$  が用いられ、この能動素子に直列に接続される抵抗

回路は、負性抵抗 $N R$ のみにより構成されている。

本実施の形態では、 $G_m$ は、式(1)の $R$ に $-R_{NR}$ を代入することでえられ、式(6)のようになる。

【0023】

【数6】

$$G_m = \frac{1}{1 - R_{NR} \cdot g_{m0}} g_{m0} \quad \dots(6)$$

図5(b)は、式(6)において $R_{NR}$ を変化させたときの $G_m$ 値の変化を示すグラフである。この回路では、図5(b)において太線で示すように、 $R_{NR}=1/g_{m0}$ のとき $G_m$ はマイナス無限大、 $R_{NR}$ が無線大のとき $G_m=0$ となり、無限大の可変特性を持たせることができる。

なお、第2ないし第5の実施の形態においても、各図(b)の細線範囲において $R_{NR}$ を変化させることもできる。

【0024】

以上の実施の形態では、電圧・電流変換を行う能動素子として $n$ 型MOSトランジスタを用いていたがこれに代えバイポーラトランジスタ、MES型FETなど任意の能動素子を用いることができる。また、この種の能動素子2個を差動動作できるように交差接続して、相補の入力電圧を入力し相補の出力電流を得るようにすることができる。また、上記の実施の形態では、負性抵抗 $N R$ が可変抵抗であるものとして説明したが、逆に負性抵抗を固定抵抗とし正抵抗 $R_0$ 、 $R_{00}$ を可変抵抗とすることもできる。例えば、図1に示す回路において、 $R_0$ を可変抵抗とした場合には、式(2)から、 $R_0$ を、 $R_{NR} \sim$ 無限大まで変化させることにより、 $G_m$ 値を0から無限大まで変化させることができ( $R_{NR}=1/g_{m0}$ として)、 $G_m$ は無限大の割合で変化させることができる。これらの負または正の可変抵抗器は、MOSトランジスタなどの能動素子を用いて実現することができる。

【0025】

【実施例】

次に、本発明の具体的な実施例について図面を参照して詳細に説明する。

(第1の実施例)



図 6 は、本発明の第 1 の実施例を示す回路図である。同図において、Q 1、Q 2 は、電圧・電流変換を行う能動素子として、入力電圧信号  $V_{in+}$ 、 $V_{in-}$  を受け、出力電流  $I_{out+}$ 、 $I_{out-}$  を出力する同サイズの n 型 MOS トランジスタであり、R 1、R 2 は同じ抵抗値を持つ正抵抗、Q 3、Q 4 は負性抵抗の動作をする同サイズの n 型 MOS トランジスタ、V V は可変電圧源である。

ソース接地型 MOS トランジスタ回路においては、ソースを接地端子、ドレインを出力端子、ゲートを制御端子に対応づけることができ、R 1、R 2、Q 3、Q 4 はすべて、Q 1、Q 2 のソース側すなわち、接地端子側に接続された構成になっている。

この gm アンプ回路の動作原理を以下に示す。先に図 1 で説明した負性抵抗  $R_N$  が Q 3 で置き換えられた構成であるので、 $R_N R = 1/gm_{Q3}$  に相当し、図 6 の回路の Gm 値 ( $= (I_{out+} - I_{out-}) / (V_{in+} - V_{in-})$ ) は、式 (1) の R に、 $1/(1/R_{R1} - gm_{Q3})$  を代入したものになり、下の式 (7) で表される。

【0 0 2 6】

【数 7】

$$G_m = \frac{1}{1 + \frac{1}{\frac{1}{R_{R1}} - gm_{Q3}}} gm_0 \quad \dots (7)$$

式 (7) において、 $R_{R1}$  は、R 1 および R 2 の正抵抗の値を示し、 $gm_{Q3}$  は、MOS トランジスタ Q 3 および Q 4 の gm 値を示し、 $gm_0$  は、MOS トランジスタ Q 1 および Q 2 の gm 値を示す。

上記の式 (7) から、 $gm_{Q3}$  を、 $1/R_{R1} \sim 0$  と変化させることにより、Gm 値を 0 から式 (1) で示した値まで変化させることができる。すなわち、Gm は無限大の割合で変化させることができる。

【0 0 2 7】

$gm_{Q3}$  の制御は、gm 値はゲート・ソース間電圧  $V_{gs}$  に比例して変化することを用いる。すなわち、Q 3 および Q 4 のゲート・ソース間の電圧  $V_{gs}$  を、Q 3 および Q 4 のソース端に接続された可変電圧源 V V の電圧値で制御する。可変電圧源 V V の電圧が最小の値の時に、 $gm_{Q3}$  の最大値が  $1/R_{R1}$  となるように MOS トラン

ジスタ  $Q_3$ 、 $Q_4$  を設計しておけば、 $V_V$  の電圧を  $Q_3$  および  $Q_4$  のドレイン電位まであげた時、 $gm_{Q_3}$  は 0 となるので、 $G_m$  値は 0 から  $gm_0/(1+R_{R1} \cdot gm_0)$  まで可変で、無限大の割合で変化させることができる。

図 7 は、可変電圧源  $V_V$  の具体的回路例を示す回路図である。図中、図 6 の回路において負性抵抗素子として機能する MOS トランジスタ  $Q_3$  および  $Q_4$  も示されている。 $Q_5$  は、電圧源として機能する n 型 MOS トランジスタであり、 $OA$  はオペアンプである。 $Q_5$  のドレイン電位を  $OA$  の + 入力端子に接続し、 $OA$  の出力端を  $Q_5$  のゲートに接続することにより、 $OA$  の - 入力端子に入力される電位を  $Q_5$  のドレイン電位、すなわち、 $Q_3$  および  $Q_4$  のソース電位に与えることができる。また、 $Q_3$  および  $Q_4$  は差動で動作するため、 $Q_5$  のドレインに流れる電流の交流成分は 0 である。このため、オペアンプは、高周波領域での動作は、特に要求されることはなく、従って、図 7 に示した回路は安定な電圧源として機能することができる。

#### 【0028】

##### (第 2 の実施例)

図 8 は、本発明の第 2 の実施例を示す回路図である。同図において、図 6 と同一の部分には、同一の参照符号が付されている。図 8 において、 $Q_6$ 、 $Q_7$  は、p 型 MOS トランジスタ、1 は、トランジスタ  $Q_6$ 、 $Q_7$  のゲートにバイアス電位を与えるバイアス回路である。

図 6 の回路においては、可変電圧源  $V_V$  の電圧値を変化させると、トランジスタ  $Q_3$ 、 $Q_4$  のドレインに流れ込む直流電流が変化し、トランジスタ  $Q_1$ 、 $Q_2$  のソース電位も変化する。 $gm$  値は  $V_{gs}$  に比例して変化するため、式 (7) に用いた  $gm_0$  は一定ではなく、電圧源  $V_V$  の電圧値に従って変化してしまう。このことは、 $gm$  アンプ回路そのものの設計を複雑にする。また、電圧値によっては、各 MOS トランジスタが不飽和領域で動作する可能性がある。本実施例においては、p 型 MOS トランジスタ  $Q_6$  および  $Q_7$  を  $Q_1$  および  $Q_2$  のソース端に接続し、そのゲートに、バイアス回路 1 で生成した可変電圧源  $V_V$  の電圧値に対応したバイアス電圧を付加して、変動した直流電流を補うことでトランジスタ  $Q_1$  および  $Q_2$  のソースの直流電位は、電圧源  $V_V$  の電圧値に依存しない一定値となり、 $gm_0$  も一定

値とすることができる。

### 【0029】

図9にバイアス回路1を含んだ回路例を示す。図9の $Q1'$ 、 $Q3'$ 、 $R1'$ 、 $VV'$ は、図8の $Q1$ 、 $Q3$ 、 $R1$ 、 $VV$ に対応した素子であり、 $Q3'$ のドレイン-ソース間に流れる電流値は、 $Q3$ のそれと同一である。 $Q1'$ のゲートには電圧値が $(V_{in+}-V_{in-})/2$ の定電圧源 $VS$ が接続される。ゲート-ドレイン間を短絡したp型MOSトランジスタ $Q8$ のソースを $Q3'$ のドレイン端に接続し、そのゲート電位を、n型MOSトランジスタ $Q6$ および $Q7$ のゲートに与えるバイアス電圧とする。

図9に示す回路において、 $VV$ の電圧値が変化すると $Q3$ 、 $Q4$ に流れる電流が変化する。このとき、 $VV'$ の電圧値も変化するため $Q3$ 、 $Q4$ の電流変化分は $Q3'$ の電流変化分に、したがって $Q8$ の電流変化分に反映される。 $Q8$ と $Q6$ 、 $Q7$ とはカレントミラーを構成していることにより、 $Q3$ 、 $Q4$ の電流変化分は $Q6$ 、 $Q7$ を介して $Q3$ 、 $Q4$ に与えられることになる。したがって、 $VV$ を変化させても $Q1$ 、 $Q2$ に流れる電流を変化させないようにすることができ、 $Q1$ 、 $Q2$ のソース電位を一定に保持することが可能になり、 $gm_0$ 値を一定化とすることができる。

### 【0030】

#### (第3の実施例)

図10は、本発明の第3の実施例を示す回路図である。同図において、図6と同一の部分には、同一の参照符号が付されている。図10において、 $R3$ 、 $R4$ は、正抵抗である。

図6に示した第1の実施例においては、負性抵抗素子である $Q3$ および $Q4$ のドレインは、それぞれ $Q1$ のソースと抵抗 $R1$ との節点および $Q2$ のソースと抵抗 $R2$ との節点に接続されるが、本実施例においては、負性抵抗素子である $Q3$ および $Q4$ のドレインは、抵抗間の節点 $N1$ および $N2$ に接続された構成になっている。 $Gm$ 値は、式(1)の $R$ に、 $R_{R3}+1/(1/R_{R1}-gm_{Q3})$ を代入した値となる。すなわち、図6の回路に対して、抵抗の値として、 $R_{R3}$ が加算されたものになる。本構成においては、第1の実施例と同等の効果が得られるが、 $Q1$ のソー

スと負性抵抗の間に抵抗  $R_3$  が入ること、 $Q_3$ 、 $Q_4$  の非線形性が緩和され、全体として、より線形動作に近くなる gm アンプが得られる。

#### 【0031】

##### (第4の実施例)

図11は、本発明の第4の実施例を示す回路図である。同図において、図6と同一の部分には、同一の参照符号が付されている。第1の実施例と異なる点は、負性抵抗素子としてのn型MOSトランジスタ  $Q_3$  および  $Q_4$  に代えて、p型MOSトランジスタ  $Q_9$  および  $Q_{10}$  が接続されていることである。

#### 【0032】

##### (第5の実施例)

図12は、本発明の第5の実施例を示す回路図である。同図において、図6と同等の部分には、同一の参照符号が付されている。図6の回路が差動型回路であったのに対し、図12に示す本実施例回路はシングルエンドタイプの gm アンプである。n型MOSトランジスタ  $Q_1$  は、入力電圧信号  $V_{in}$  を受け、出力電流  $I_{out}$  を出力するn型MOSトランジスタであり、そのソース端に正抵抗  $R_1$  が接続されている。負性抵抗素子であるn型MOSトランジスタ  $Q_3$  のゲートには、そのドレイン端の電圧信号を位相反転回路  $INV$  によって反転された位相反転信号が入力される。位相反転回路  $INV$  の回路例を図13に示す。p型MOSトランジスタ  $Q_{11}$  と、n型MOSトランジスタ  $Q_{12}$  でインバータを構成し、p型MOSトランジスタ  $Q_{13}$  と、n型MOSトランジスタ  $Q_{14}$  で入出力端を短絡したインバータ型の負荷を形成する。この2つのインバータは、論理閾値電圧が  $R_1$  と  $Q_3$  のドレイン端との節点のDCバイアス値と等しくなるように設計する必要がある。 $Q_3$  の負性抵抗値は、可変電圧源  $V_V$  の電圧値を制御して、n型MOSトランジスタ  $Q_3$  のソースゲート間電圧を変化させてその負性抵抗値を制御する。

#### 【0033】

##### (第6の実施例)

図14は、本発明の第6の実施例を示す回路図である。同図において、図6と同等の部分には、同一の参照符号が付されている。本実施例においては、第1の実施例において用いられていた可変電圧源  $V_V$  が除去され、正抵抗  $R_1$ 、 $R_2$  に

代えて正抵抗値の可変抵抗  $R_5$ 、 $R_6$  が接続されている。第 1 の実施例では、負性抵抗を制御することで  $g_m$  アンプの利得可変を行っていたが、本実施例では、正抵抗を制御して同様の効果を得る。可変正抵抗を実現する回路例を図 15 に示す。同図において、 $R_7$  は正抵抗、 $Q_{15}$  は n 型 MOS トランジスタである。 $Q_{15}$  は、抵抗体として用いるために、 $V_{gs} > V_{ds} + V_{th}$  ( $V_{gs}$  は、ゲート・ソース間電圧、 $V_{ds}$  はドレイン・ソース間電圧、 $V_{th}$  は MOS トランジスタ  $Q_{15}$  の閾値) となる非飽和領域で用いる。抵抗値は、ゲートに与えるバイアス電圧で制御する。

#### 【0034】

図 16 は、可変抵抗を実現する別の回路例である。ゲート・ドレイン間を短絡した n 型 MOS トランジスタ  $Q_{16}$  のソースに、可変電圧源  $V_V$  を接続した構成になっている。正抵抗の値は、可変電圧源  $V_V$  の電圧値を制御して、トランジスタ  $Q_{16}$  のゲート・ソース間電圧を変化させることで制御する。

図 14 に示す本実施例の回路において、トランジスタ  $Q_3$ 、 $Q_4$  のソースと接地間に、固定電圧の電圧源を挿入してもよい。

#### 【0035】

##### (第 7 の実施例)

図 17 は、本発明の第 7 の実施例を示す回路図である。同図において、図 6 と同一の部分には、同一の参照符号が付されている。図 17 に示す本実施例においては、第 1 の実施例から正抵抗  $R_1$ 、 $R_2$  が除去されている。本実施例の  $G_m$  値は、式 (2) において、 $R_{R1}$  を無限大とすることにより得られる。本実施例によれば、可変電圧源  $V_V$  の僅かな電圧変化により大きく  $G_m$  値を変化させることができる。

#### 【0036】

##### (第 8 の実施例)

図 18 は、本発明の第 8 の実施例を示す回路図である。同図において、図 10 と同一の部分には、同一の参照符号が付されている。図 18 に示す本実施例においては、図 10 に示される第 3 の実施例から正抵抗  $R_1$ 、 $R_2$  が除去されている。本実施例の  $G_m$  値は、式 (1) の  $R$  に、 $R_{R3} = 1/g_{mQ3}$  を代入した値となる。

#### 【0037】



## (第9の実施例)

図19は、本発明の第9の実施例を示す回路図である。図6の回路図のn型MOSトランジスタQ1、Q2、Q3、Q4をそれぞれnpn型バイポーラトランジスタB1、B2、B3、B4に置き換えた構成になっている。

バイポーラトランジスタの電圧・電流変換利得を $g_m$ と定義することで、図6に示した第1の実施例と同様に式(7)に従った動作が成立する〔但し、式(7)中の $g_{mQ3}$ はバイポーラトランジスタb3の $g_m$ 値である $g_{mB3}$ に置き換えられる。〕。

## 【0038】

## (第10の実施例)

図20は、本発明の第10の実施例を示す回路図である。図1の負性抵抗NRとして、トンネルダイオードTDを用いた構成となっている。トンネルダイオードTDの接地側に可変源電圧VVを接続して、バイアスを制御することで、負性抵抗値を制御できる構成となっている。

## 【0039】

## (第11の実施例)

図21(a)は、本発明の第11の実施例を示す回路図であり、図21(b)は(a)図の利得可変電圧・電流変換回路の回路図である。利得可変電圧・電流変換回路として図6に示した第1の実施例の回路を用いこれと容量素子 $C_1$ 、 $C_2$ とで構成した、広帯域幅可変2次ローパスフィルタ回路である。

このフィルタ回路の伝達関数を式(8)に示す。

## 【0040】

## 【数8】

$$F(s) = \frac{\frac{g_{m1} \cdot g_{m3}}{C_1 \cdot C_2}}{s^2 + \frac{g_{m2}}{C_1} s + \frac{g_{m3} \cdot g_{m4}}{C_1 \cdot C_2}} \quad \dots(8)$$

制御端子VVを制御して、4つの $g_m$ アンプの利得をA倍すると、伝達関数は、

## 【0041】

## 【数 9】

$$\frac{\frac{A \cdot gm_1 \cdot A \cdot gm_3}{C_1 \cdot C_2}}{s^2 + \frac{A \cdot gm_2}{C_1} s + \frac{A \cdot gm_3 \cdot A \cdot gm_4}{C_1 \cdot C_2}} = \frac{\frac{gm_1 \cdot gm_3}{C_1 \cdot C_2}}{\left(\frac{s}{A}\right)^2 + \frac{gm_2}{C_1} \cdot \frac{s}{A} + \frac{gm_3 \cdot gm_4}{C_1 \cdot C_2}} = F\left(\frac{s}{A}\right)$$

となり、新たな伝達関数は、元の伝達関数に対して、周波数に関してA倍スケールリングされることが示される。これはすなわち、帯域幅がA倍されたことを示す。この様子を図 22 に示す。

## 【0042】

以上好ましい実施の形態、実施例について説明したが、本発明はこれら実施の形態、実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なものである。例えば、実施例では正抵抗素子と負性抵抗素子とのいずれか一方を可変抵抗器としていたが両方を可変抵抗器としてもよい。

## 【0043】

## 【発明の効果】

以上説明したように、本発明の利得可変電圧・電流変換回路は、電圧・電流変換能動素子と直列に負性抵抗素子を含む可変抵抗回路を接続したものであるもので、スイッチ回路を用いることなく、唯一つの制御端子に調整電圧を加えることで利得を広く変化させることのできる利得可変電圧・電流変換回路を実現できる。また、本発明によれば、少ない素子数の簡素な回路で利得を変化させることができ、チップサイズの縮小が可能となり小型な利得可変電圧・電流変換回路を安価に提供することが可能になる。この回路により、複数の通信方式に対応したマルチモード対応チャネル選択フィルタを低チップ面積で実現でき、低チップ面積のマルチモード受信機の実現に大きく貢献することができる。

## 【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態を示す回路図とその動作説明図である。

【図 2】 本発明の第 2 の実施の形態を示す回路図とその動作説明図である。

。 【図 3】 本発明の第 3 の実施の形態を示す回路図とその動作説明図である

。 【図 4】 本発明の第 4 の実施の形態を示す回路図とその動作説明図である

。 【図 5】 本発明の第 5 の実施の形態を示す回路図とその動作説明図である

。 【図 6】 本発明の第 1 の実施例を示す回路図である。

【図 7】 図 6 における可変電圧源の具体例を示す回路図である。

【図 8】 本発明の第 2 の実施例を示す回路図である。

【図 9】 図 8 に示す回路をより具体的に示す回路図ある。

【図 10】 本発明の第 3 の実施例を示す回路図である。

【図 11】 本発明の第 4 の実施例を示す回路図である。

【図 12】 本発明の第 5 の実施例を示す回路図である。

【図 13】 図 12 における位相反転回路の具体例を示す回路図である。

【図 14】 本発明の第 6 の実施例を示す回路図である。

【図 15】 図 14 における可変正抵抗の第 1 の具体例を示す回路図である

。 【図 16】 図 14 における可変正抵抗の第 2 の具体例を示す回路図である

。 【図 17】 本発明の第 7 の実施例を示す回路図である。

【図 18】 本発明の第 8 の実施例を示す回路図である。

【図 19】 本発明の第 9 の実施例を示す回路図である。

【図 20】 本発明の第 10 の実施例を示す回路図である。

【図 21】 本発明の第 11 の実施例を示す回路図である。

【図 22】 本発明の第 11 の実施例の動作説明図である。

【図 23】 ソースデジェネレーション型 gm アンプの回路図である。

【図 24】 利得可変 gm アンプの第 1 の従来例の回路図である。

【図 25】 利得可変 gm アンプの第 2 の従来例の回路図である。

## 【符号の説明】

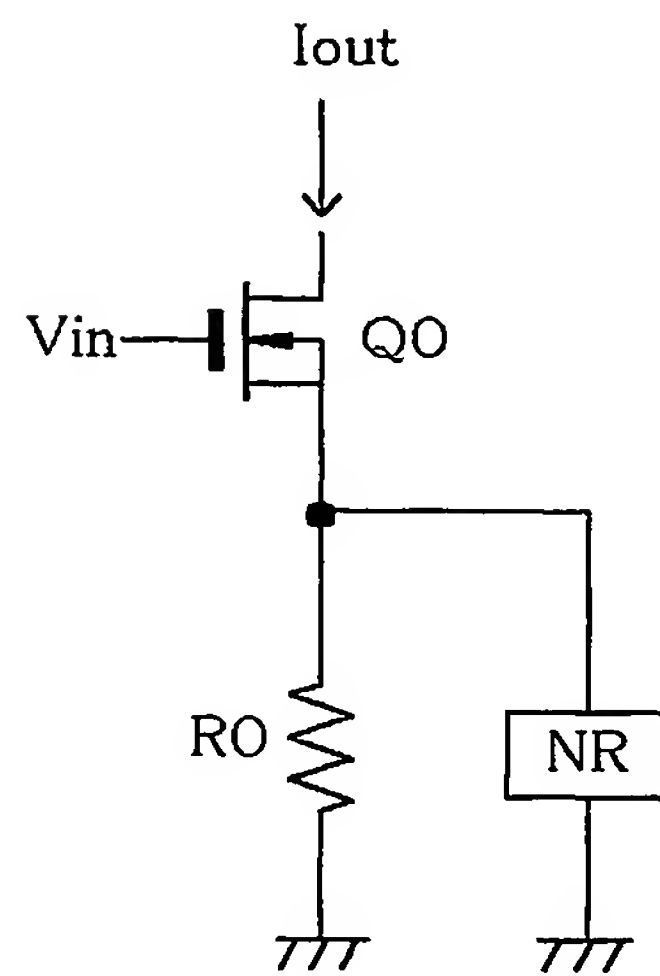
1…バイアス回路、 B 1、B 2、B 3、B 4…n p n型バイポーラトランジスタ、 C S 1、C S 2、C S 3…電流源、 I N V…位相反転回路、 O A…オペアンプ、 Q 0、Q 1、Q 1'、Q 2、Q 3、Q 3'、Q 4、Q 5、Q 12、Q 14、Q 15、Q 16、Q 21、Q 22、Q 27、Q 28、Q 29、Q 30、Q 31、Q 32、Q 33、Q 34、Q 35、Q 36…n型MOSトランジスタ、 Q 6、Q 7、Q 8、Q 9、Q 10、Q 11、Q 13、Q 23、Q 24、Q 25、Q 26…p型MOSトランジスタ、 R 0、R 00、R 1、R 1'、R 2、R 3、R 4、R 7、R 21、R 27…正抵抗、 R 5、R 6…可変抵抗、 S W 1、S W 2、S W 3、S W 4、S W 5…スイッチ回路、 V S…電圧源、 V V、V V' …可変電圧源、 T D…トンネルダイオード、 B 1、B 2、B 3、B 4…n p n型バイポーラトランジスタ

【書類名】

図面

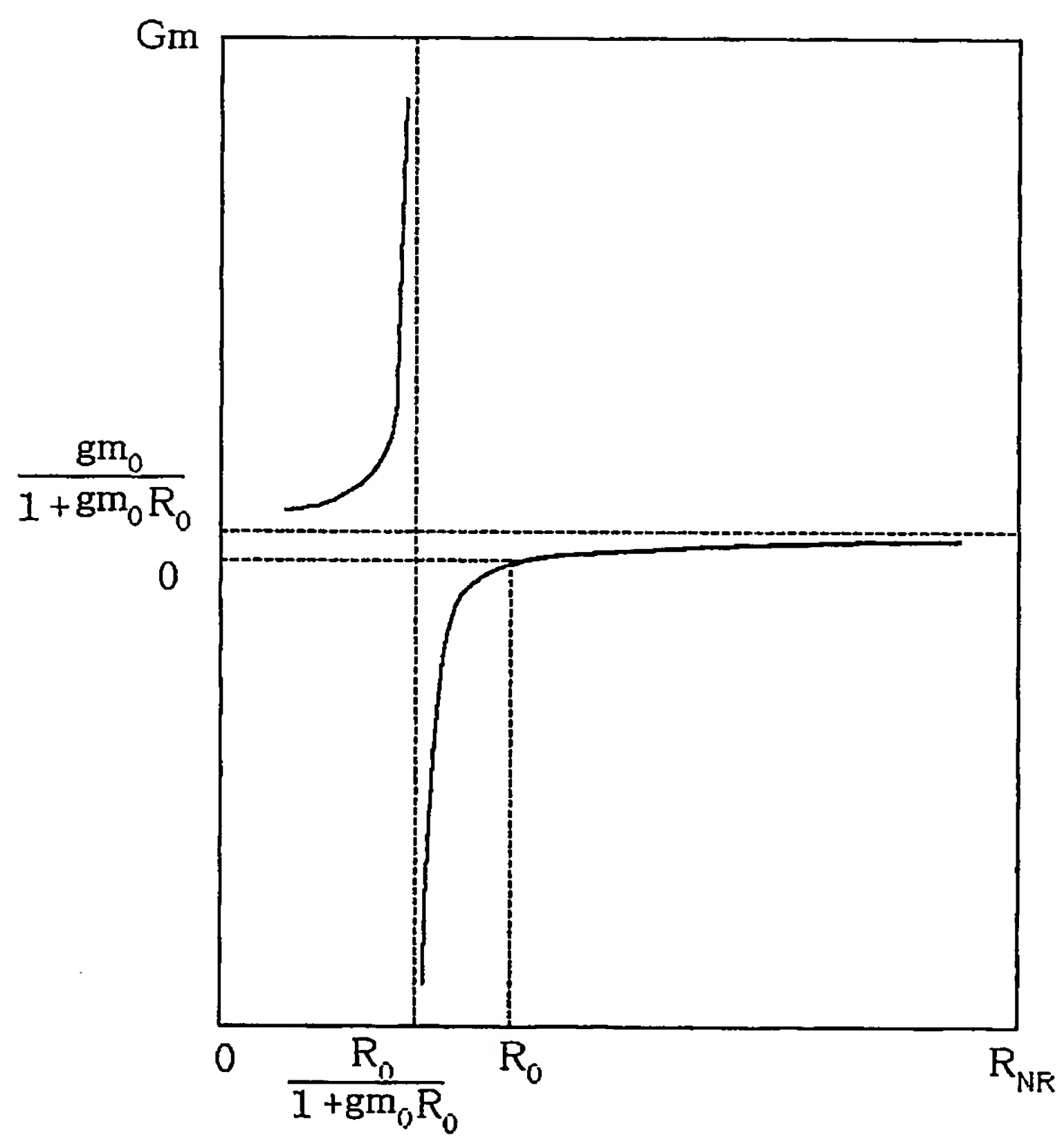
【図 1】

(a)



(図1)

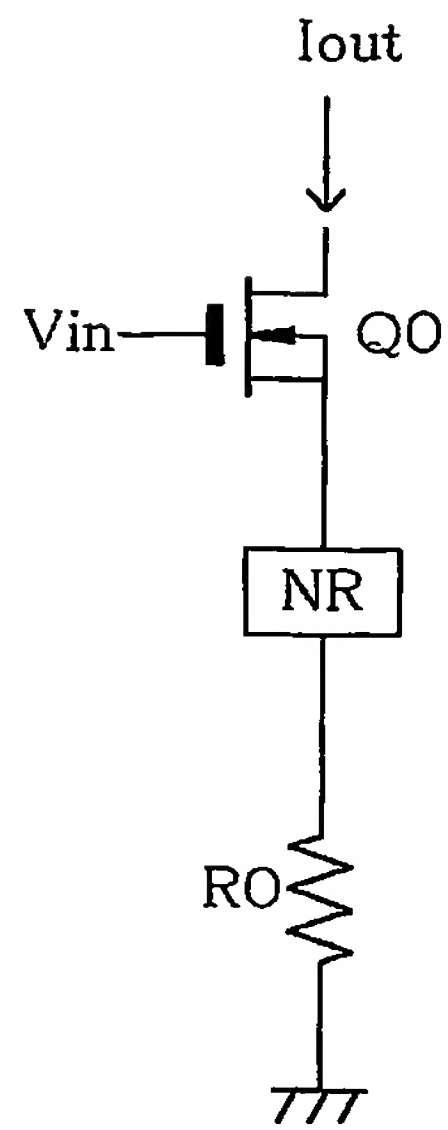
(b)





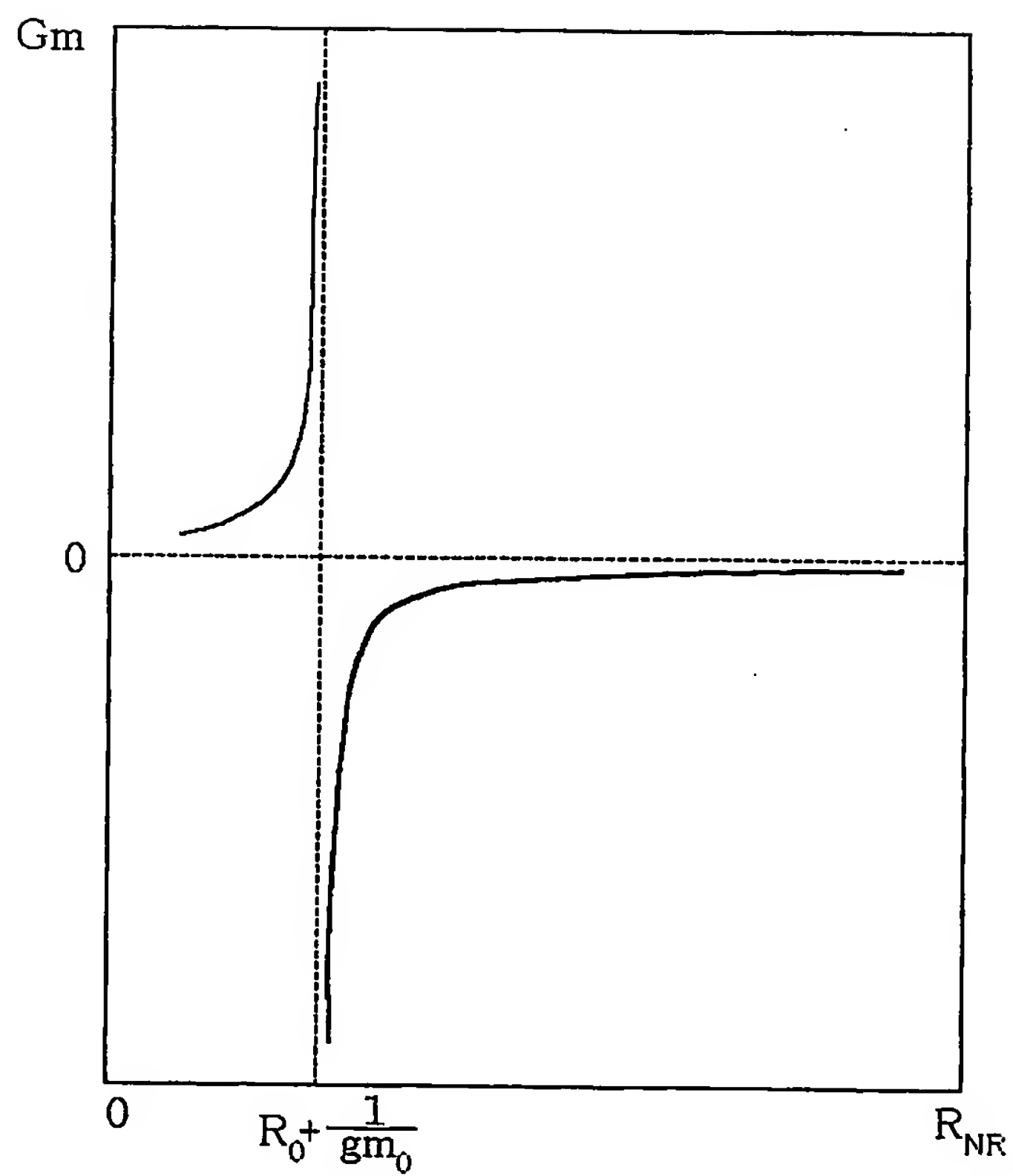
【図 2】

(a)

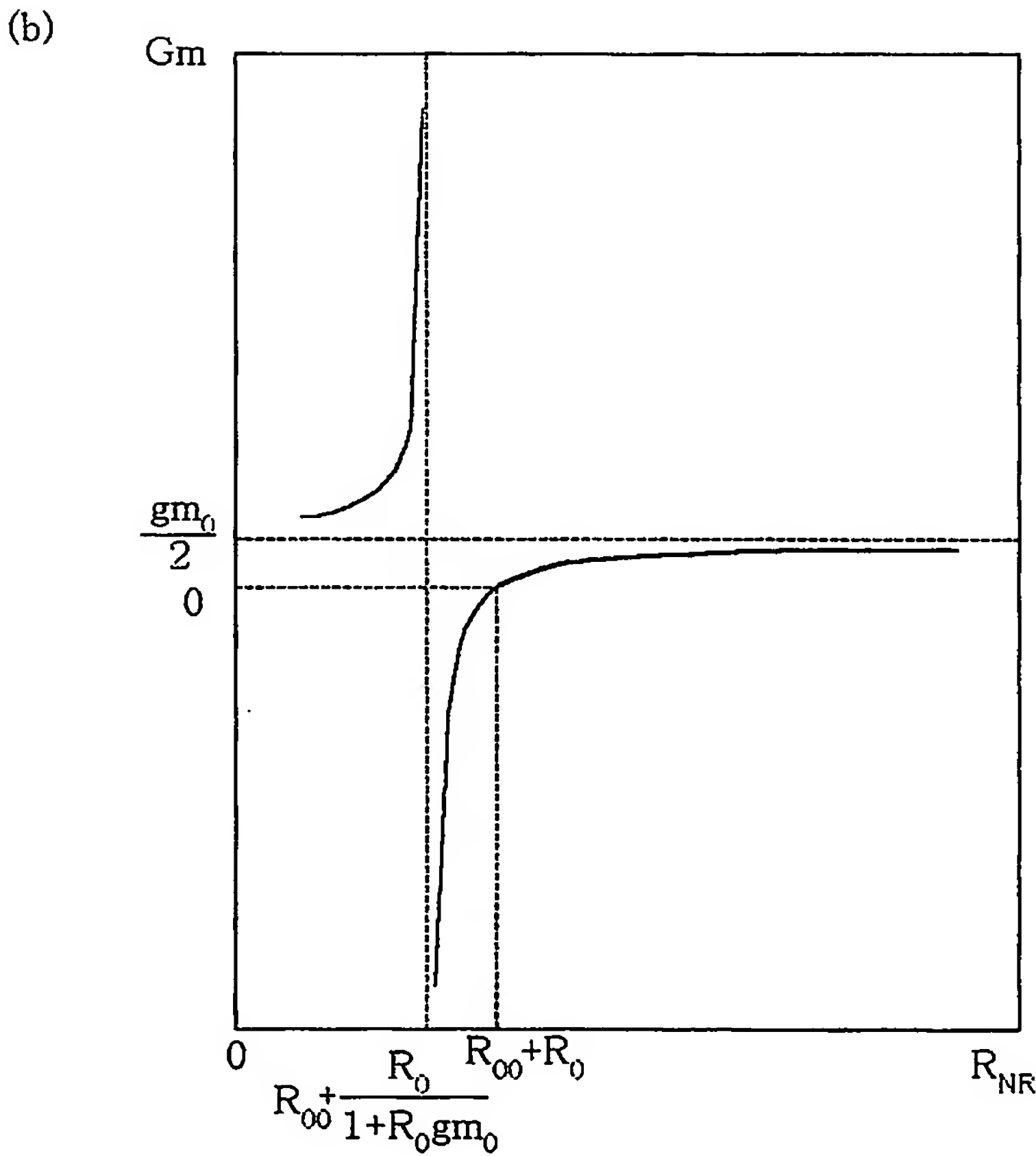
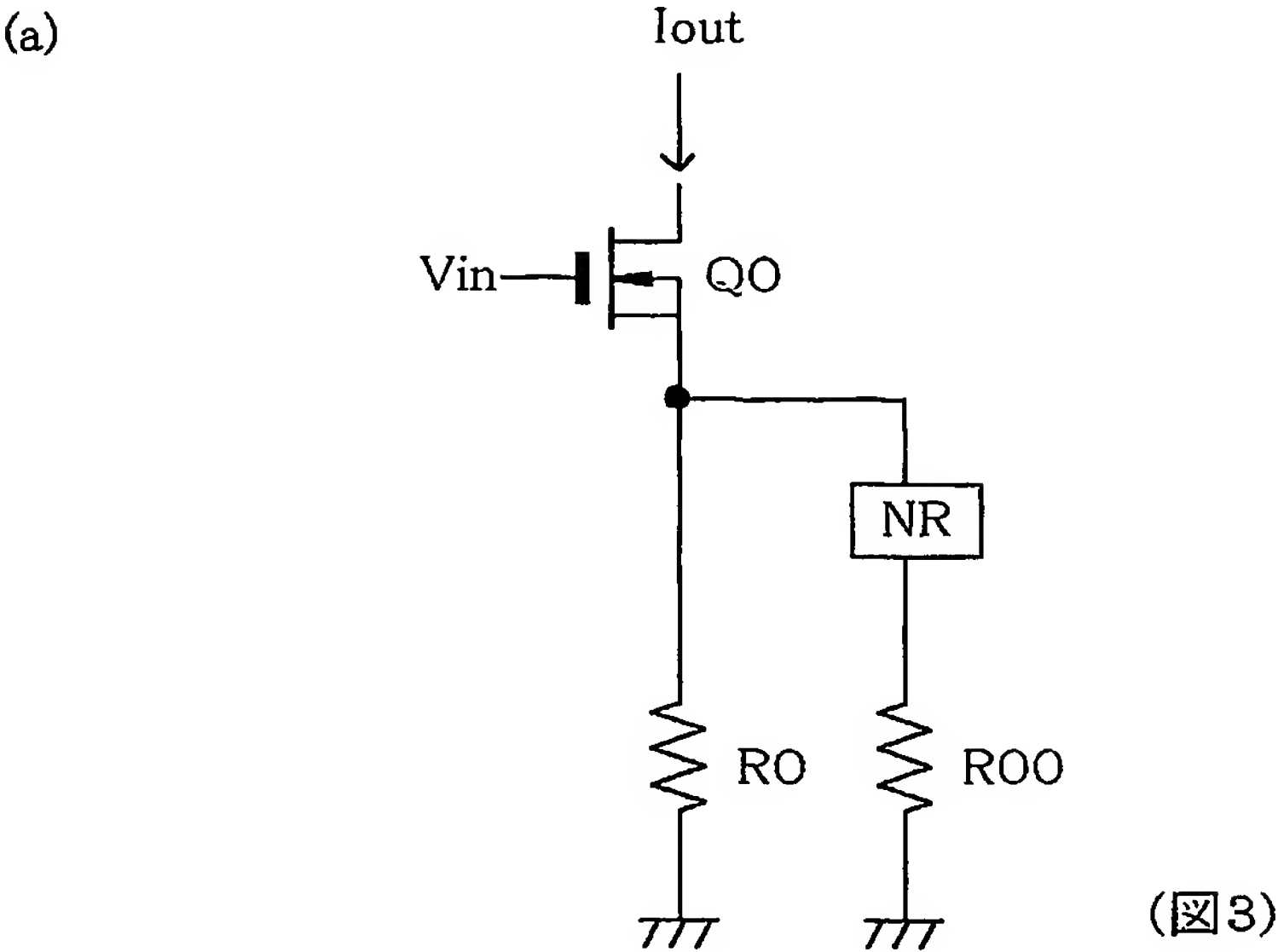


(図2)

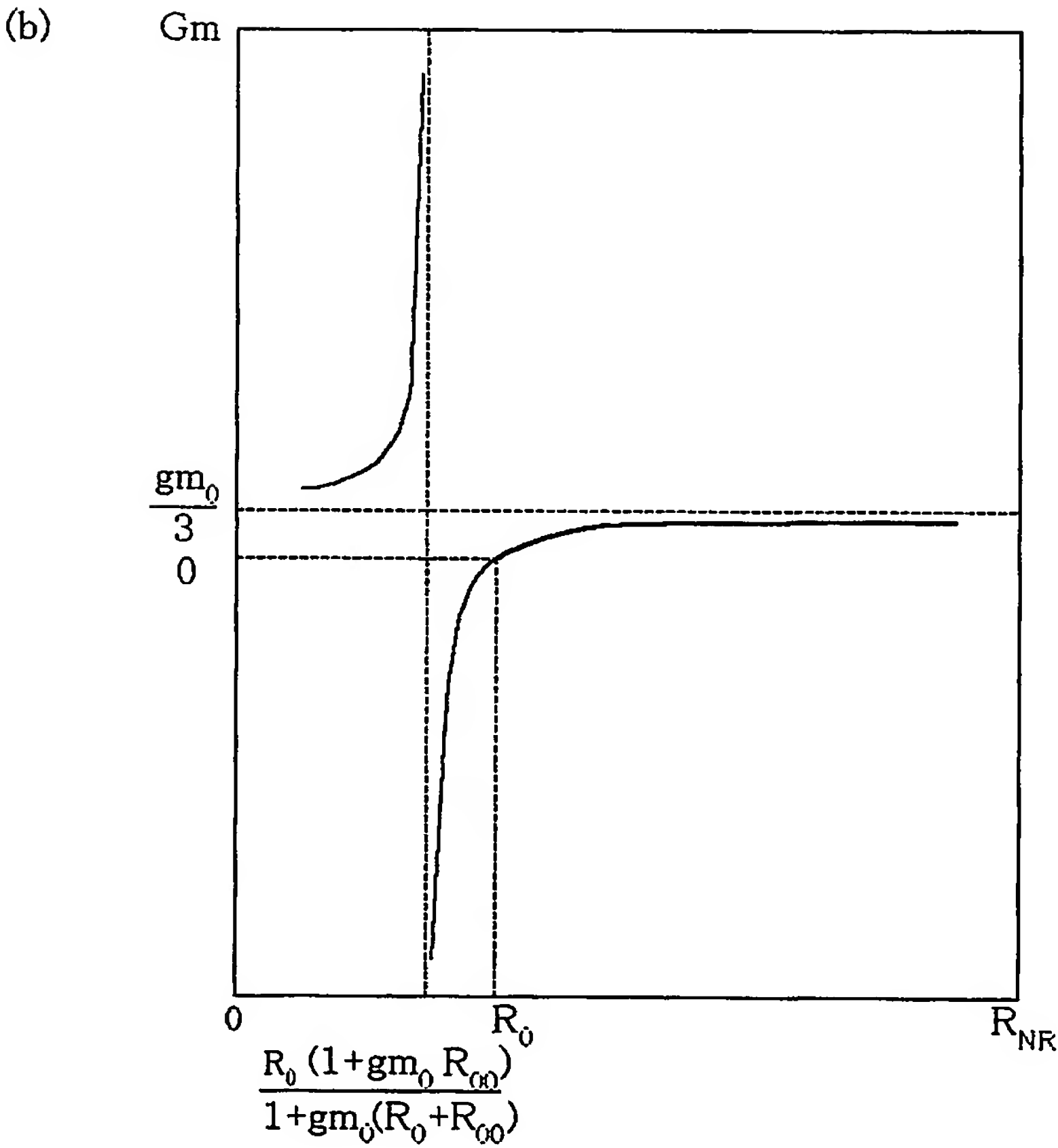
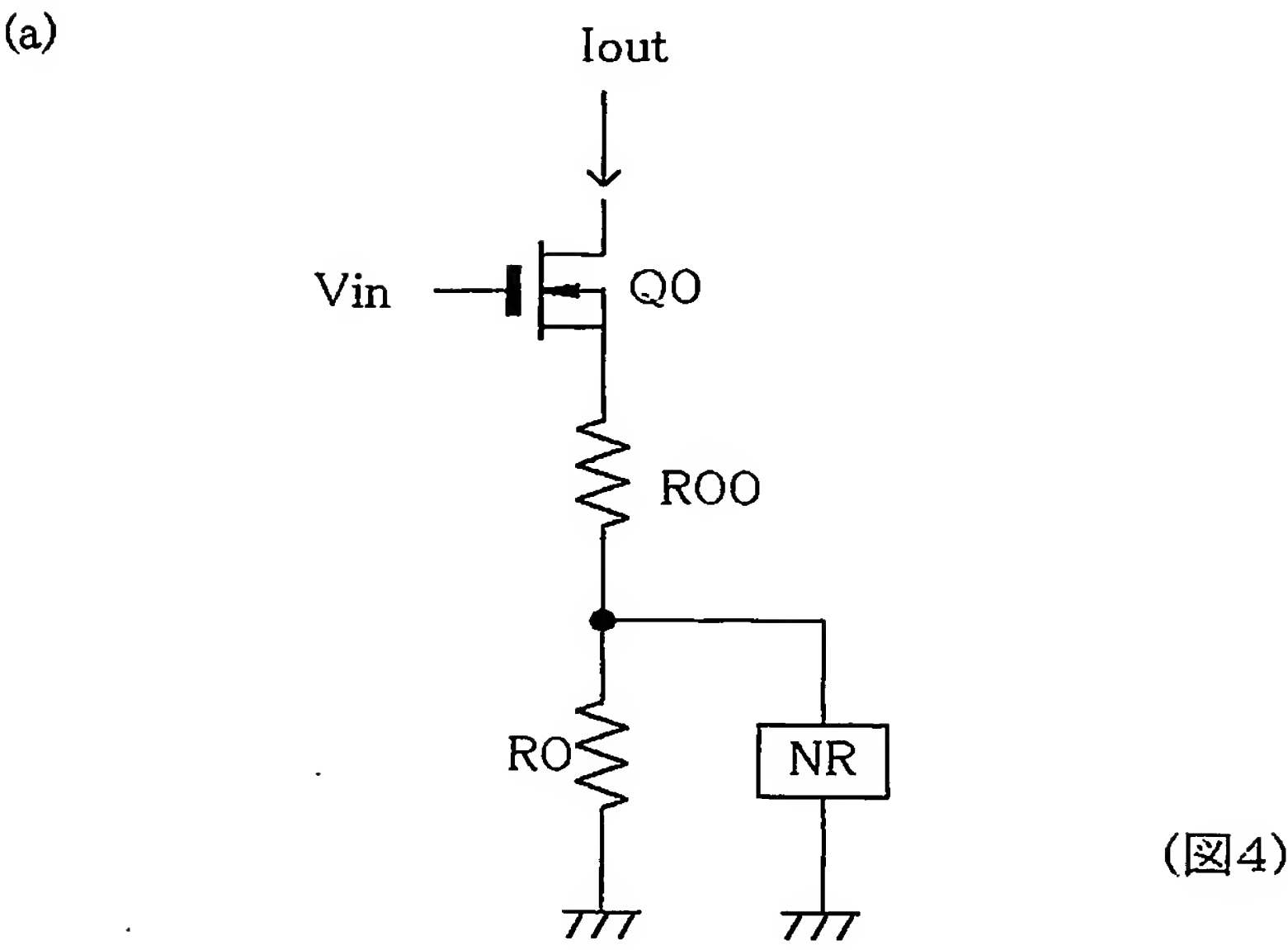
(b)



【図 3】

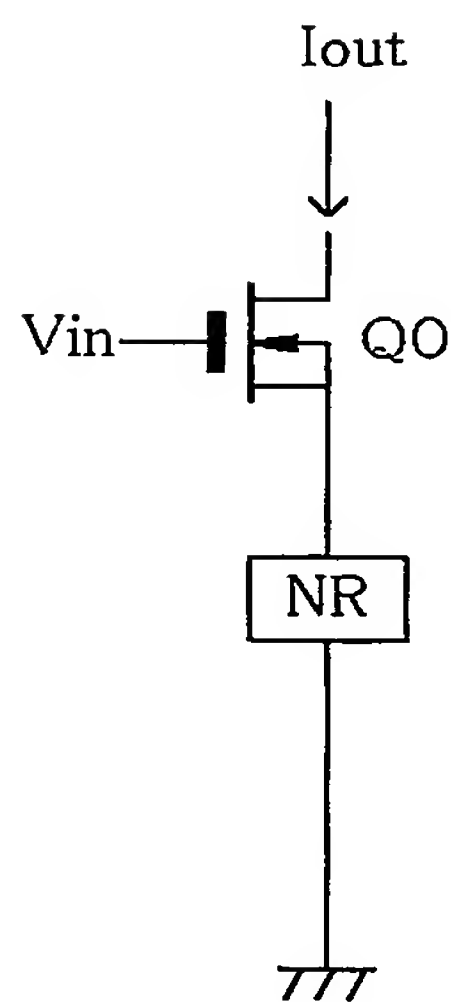


【図 4】



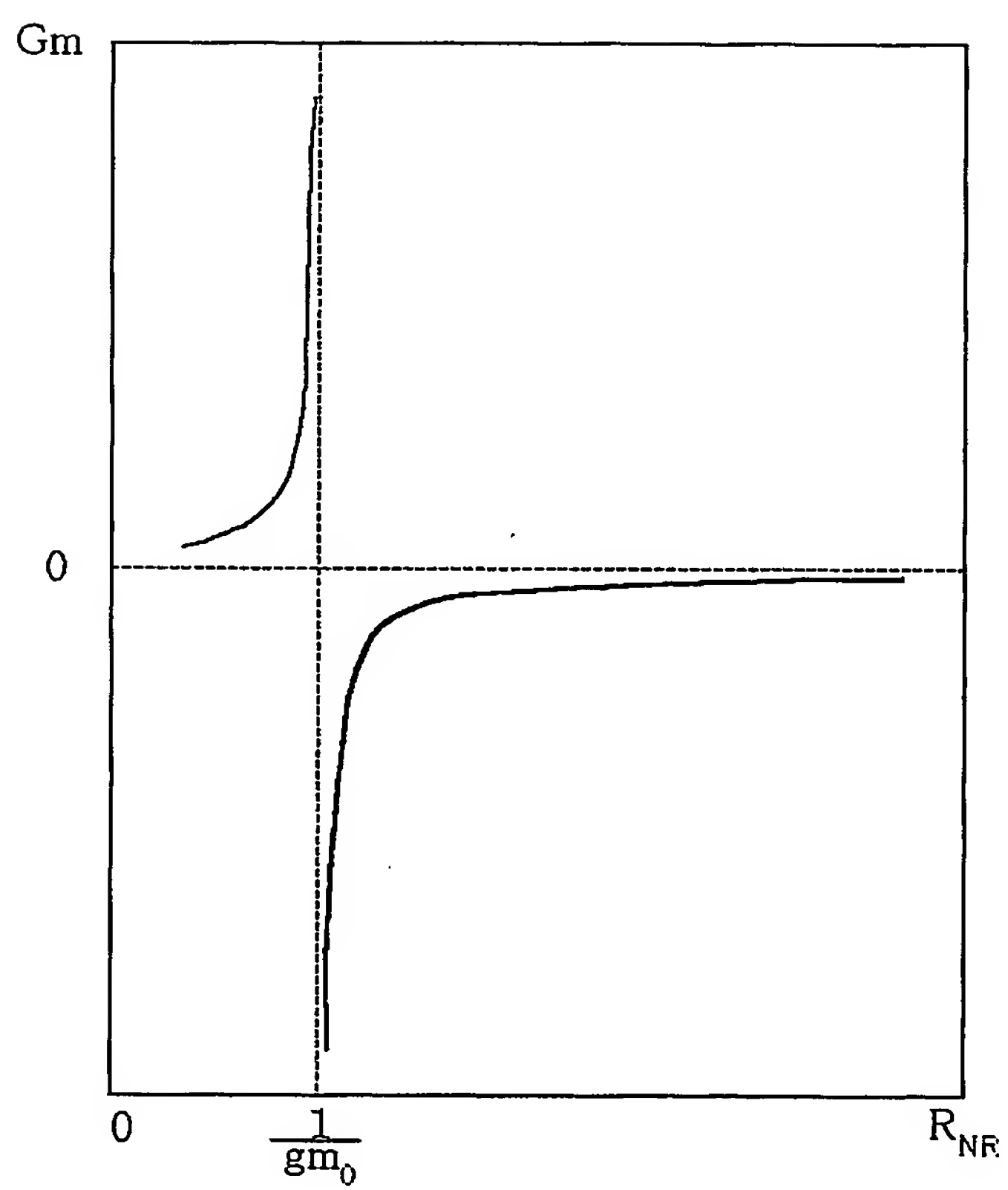
【図 5】

(a)

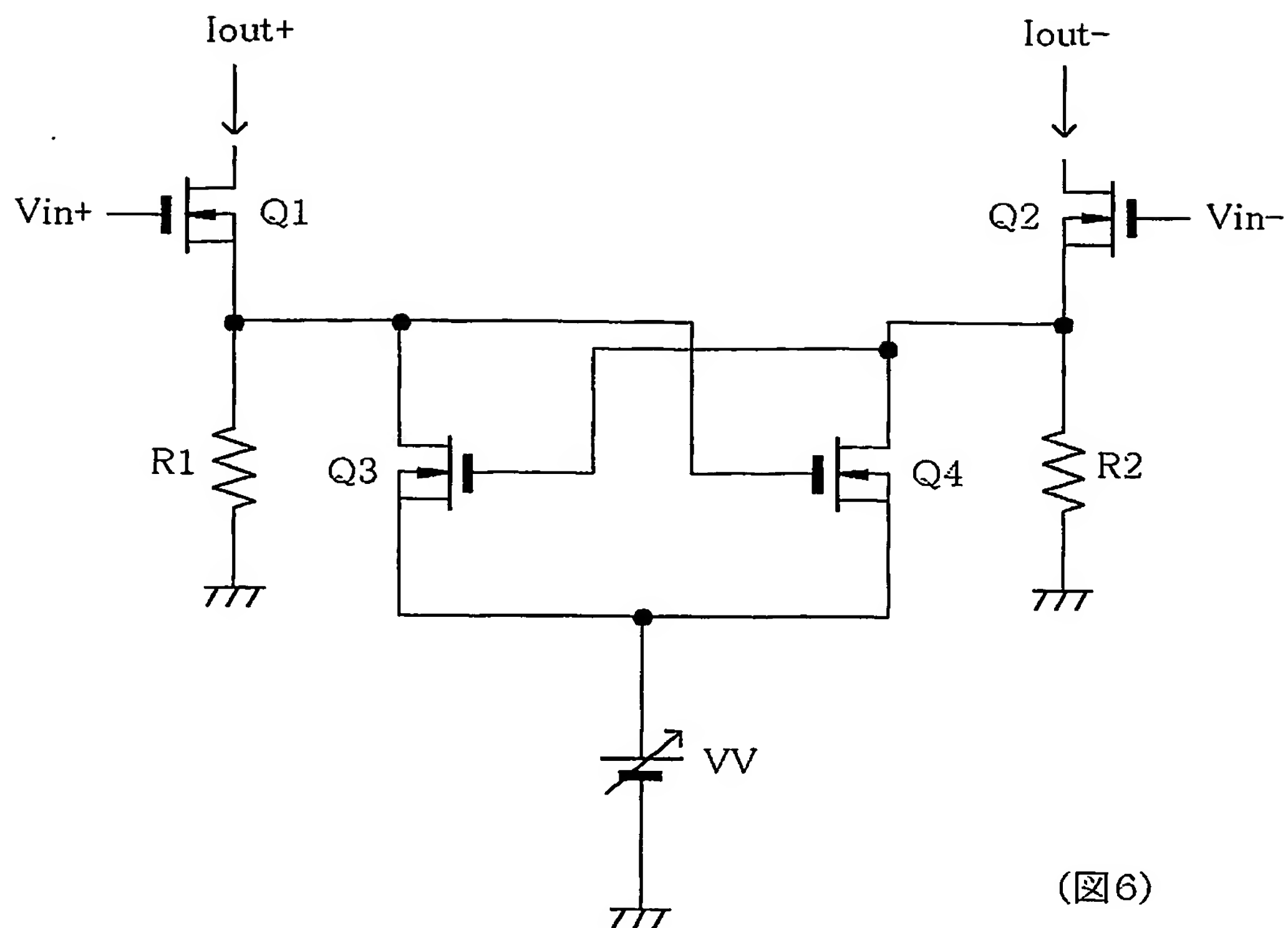


(図5)

(b)

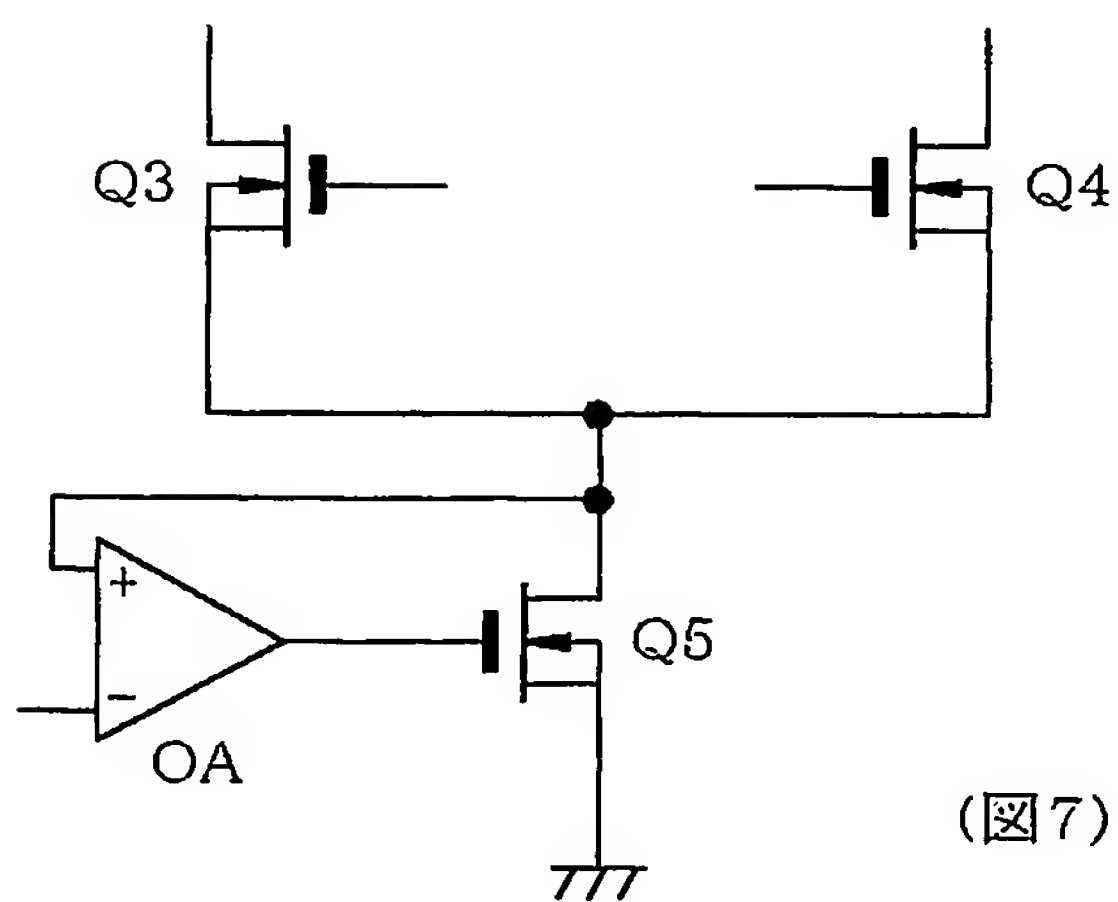


【図 6】



(図6)

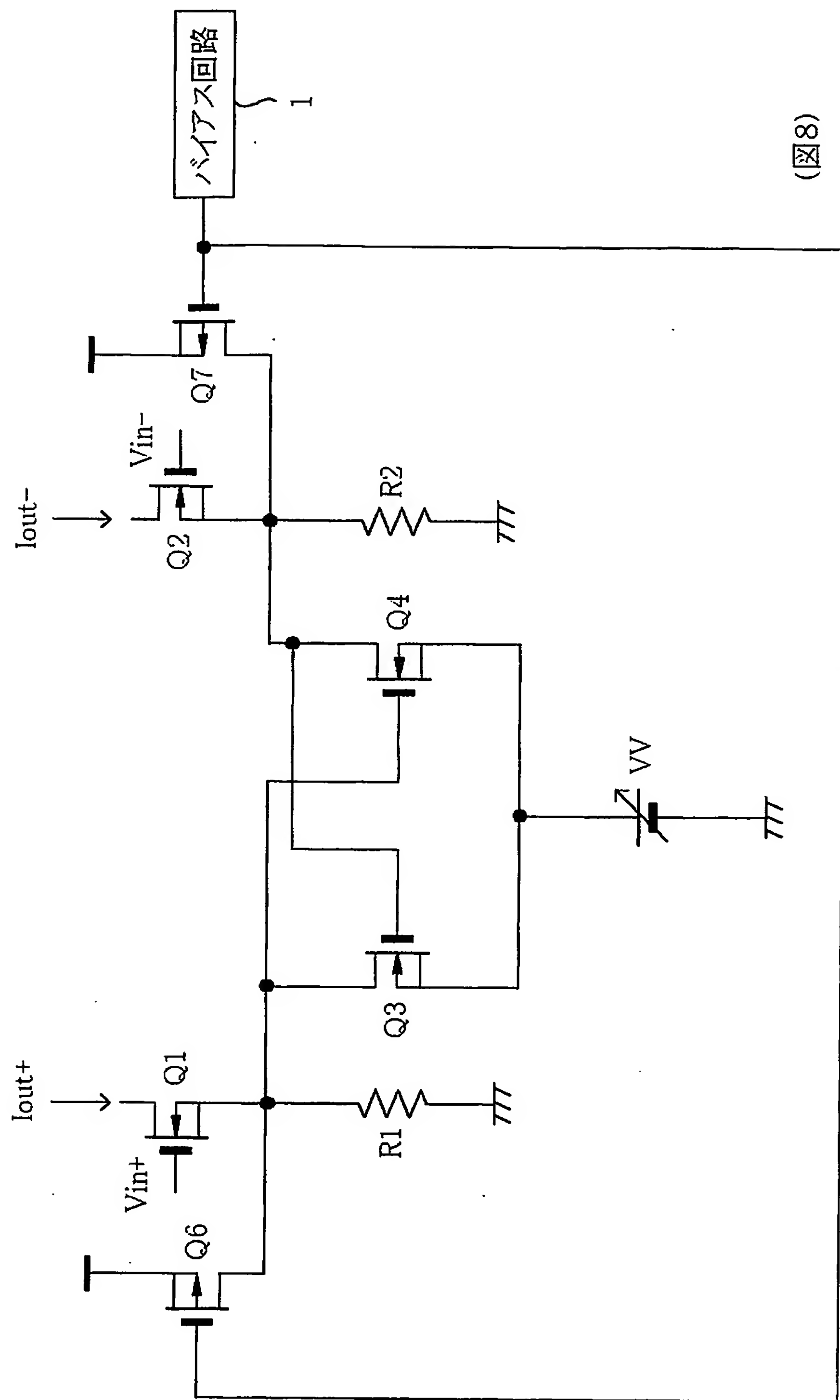
【図 7】



(図7)

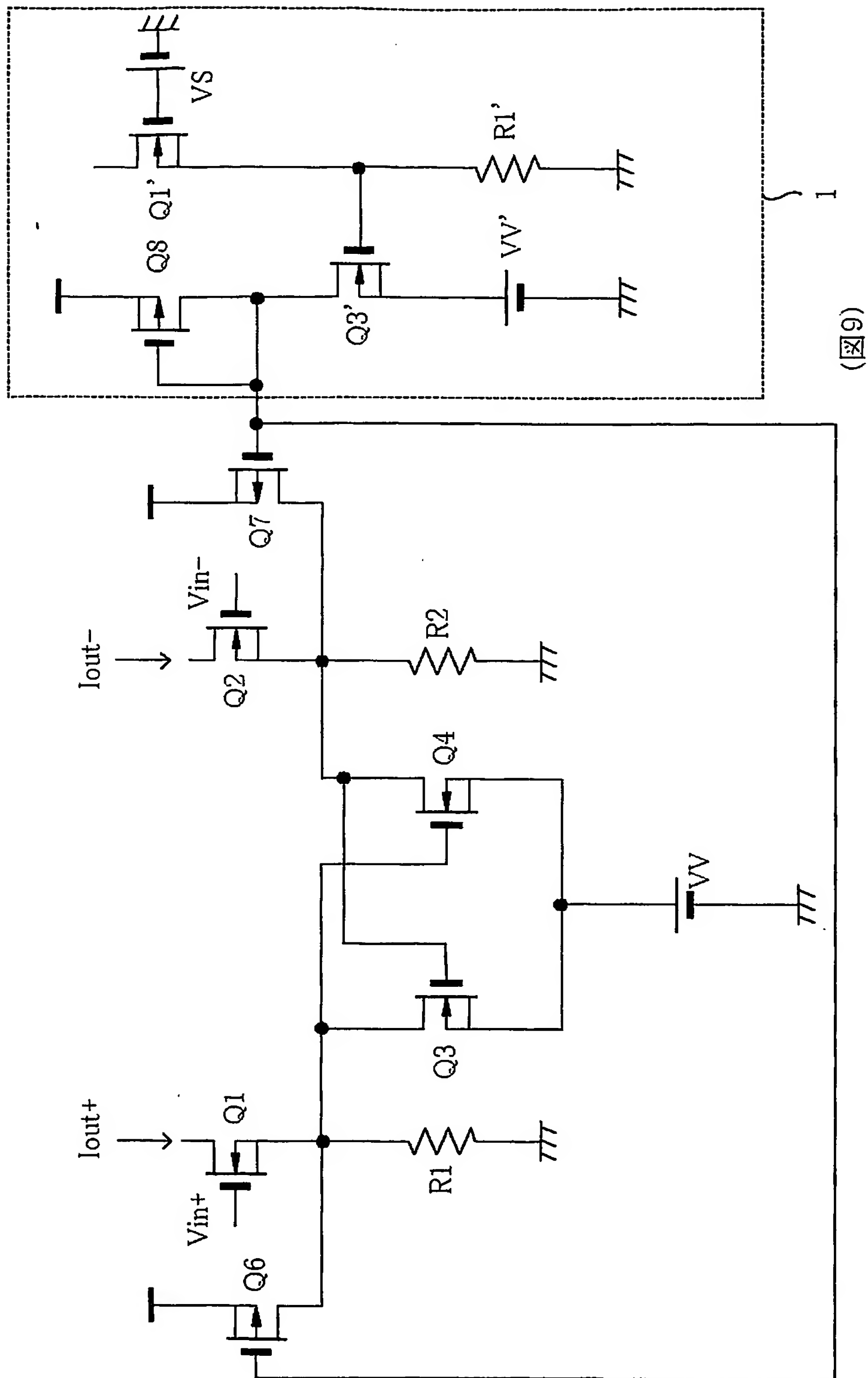


【図 8】

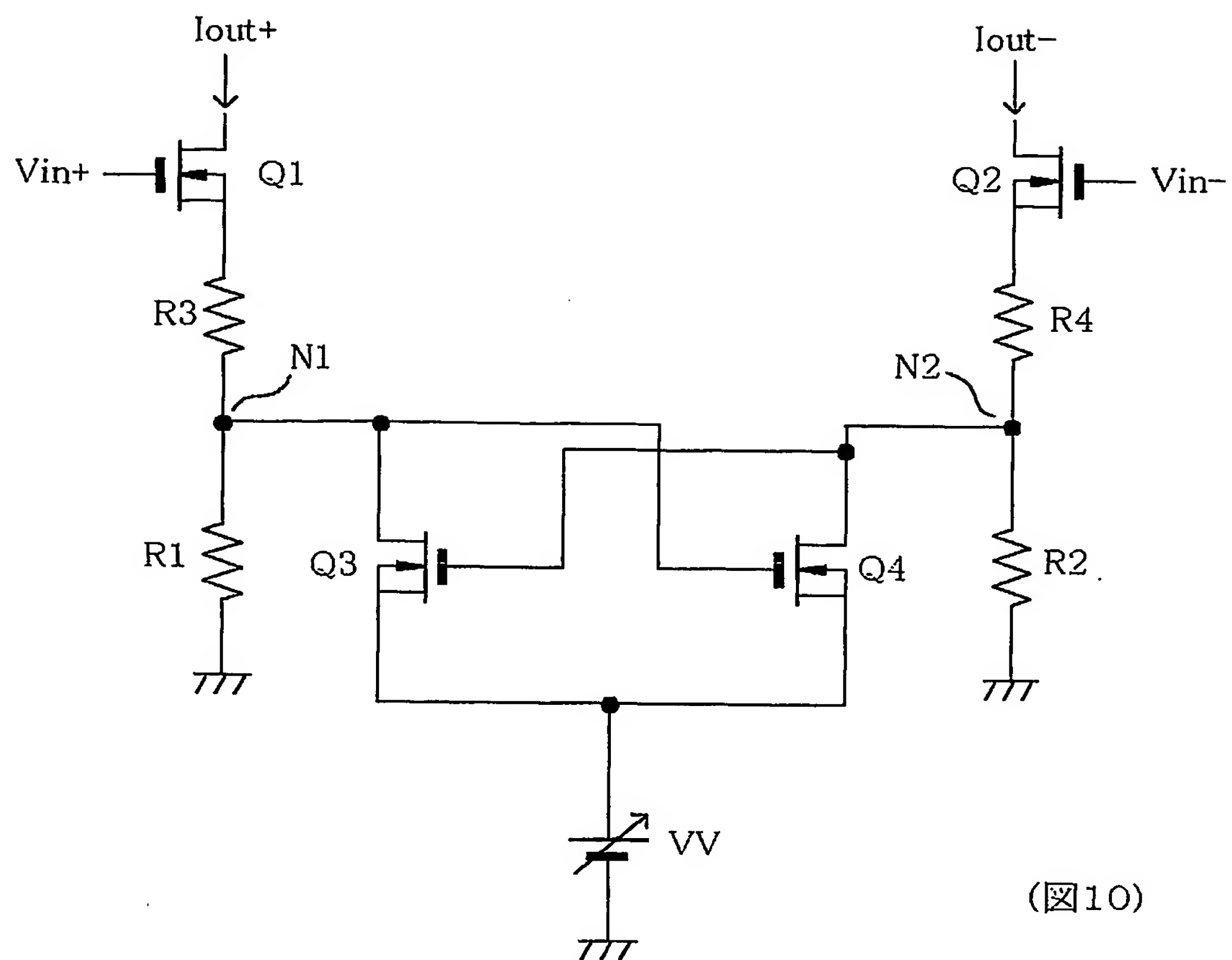


(図 8)

【図 9】

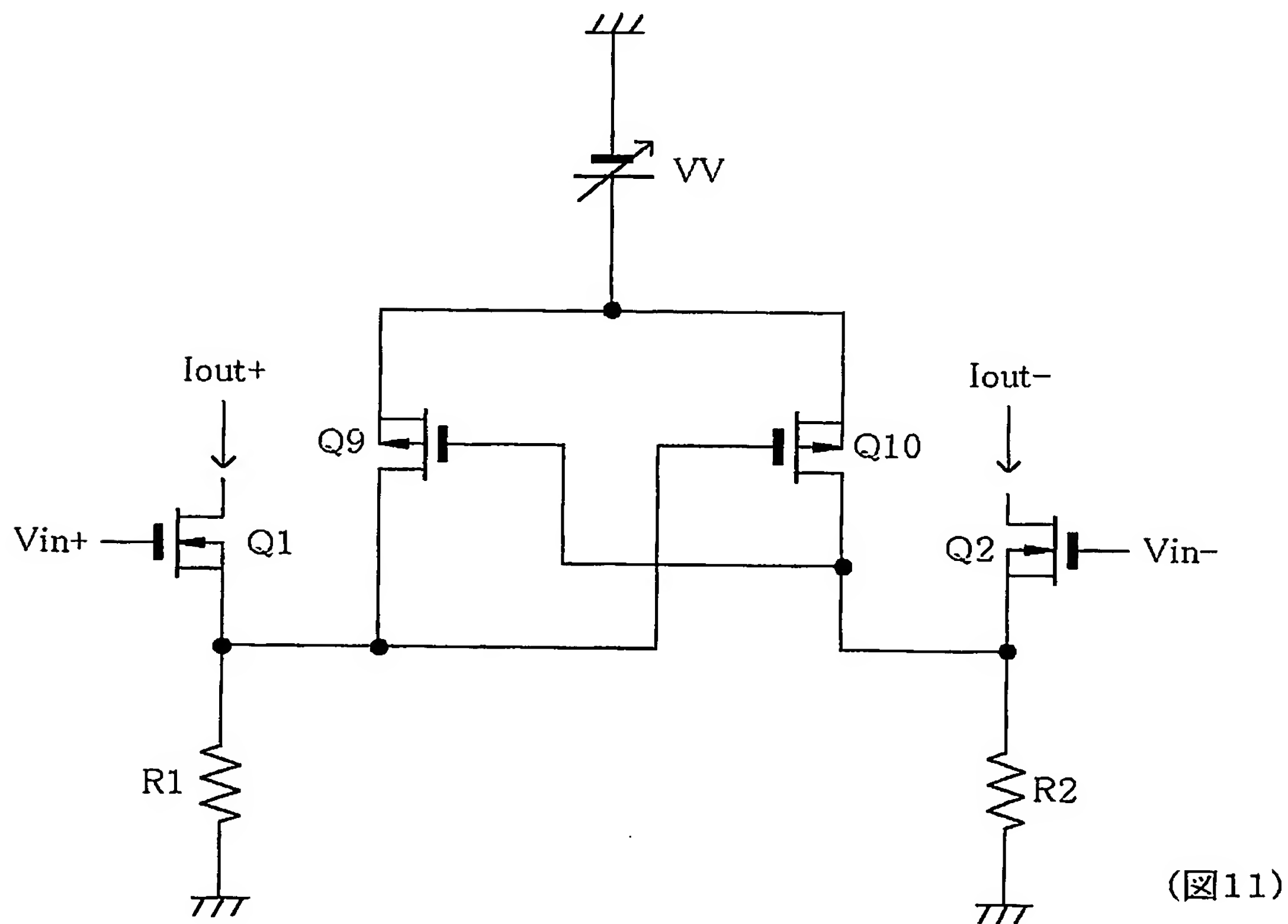


【図 10】



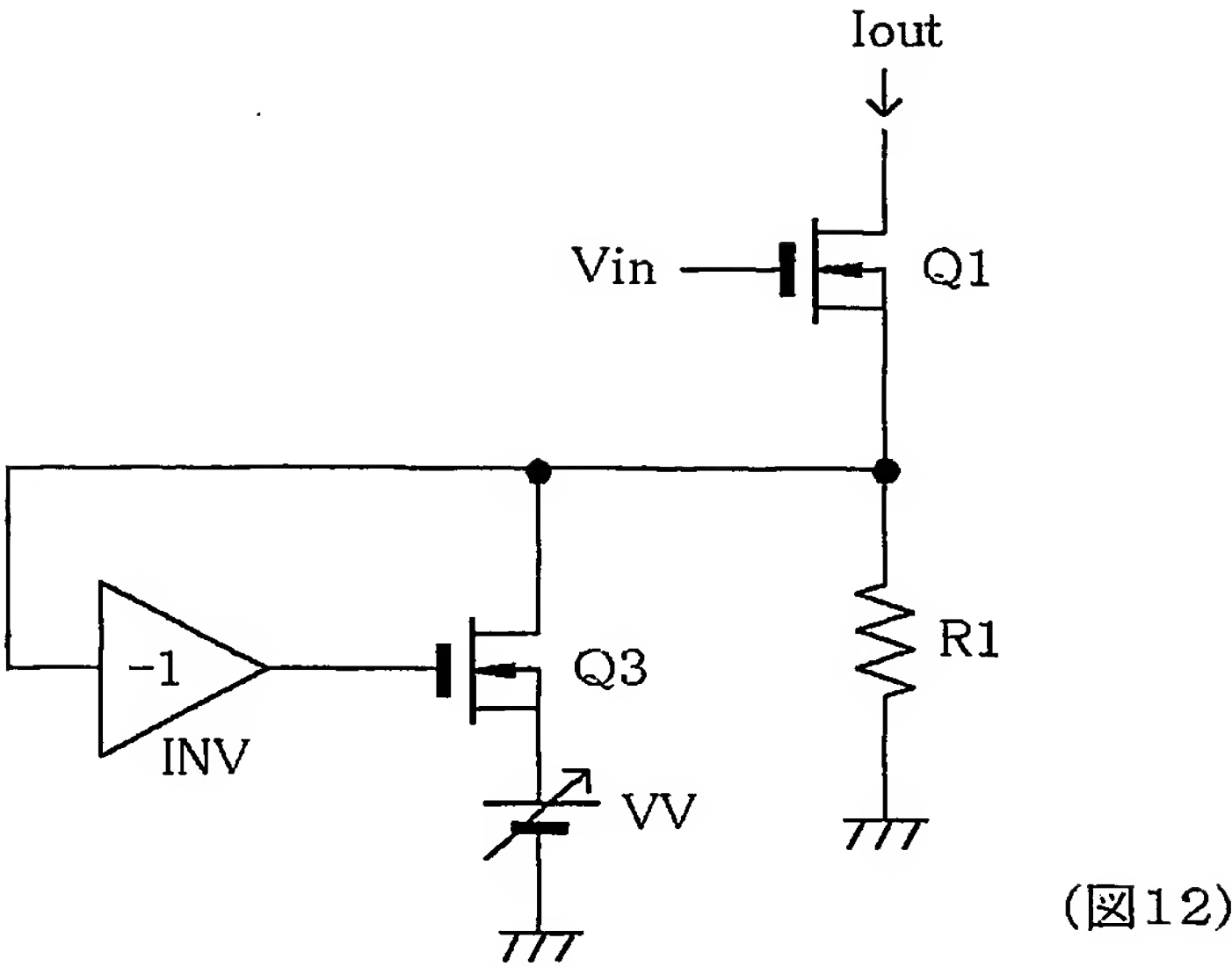
(図10)

【図 11】



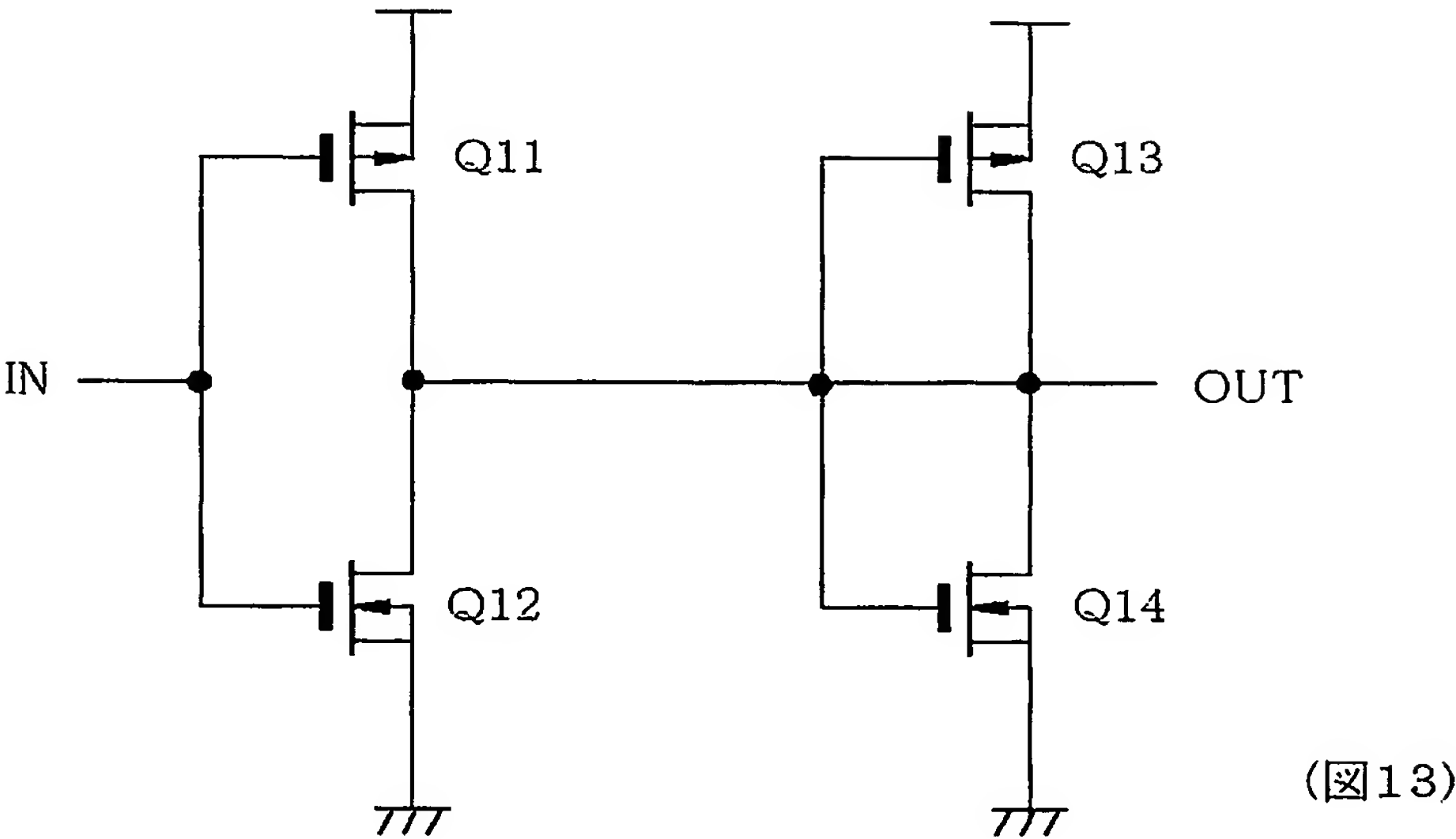
(図11)

【図 1 2】



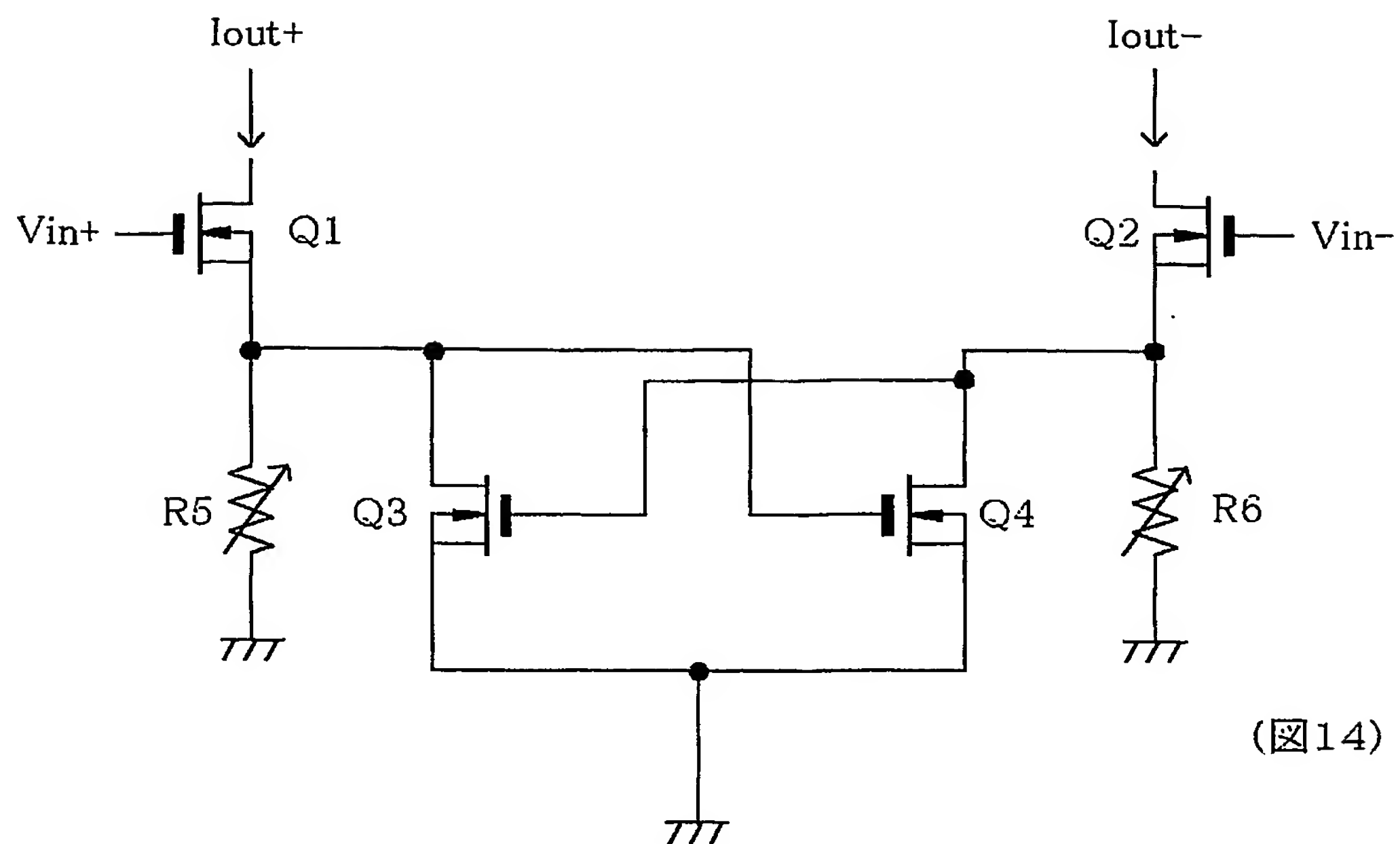
(図12)

【図 1 3】



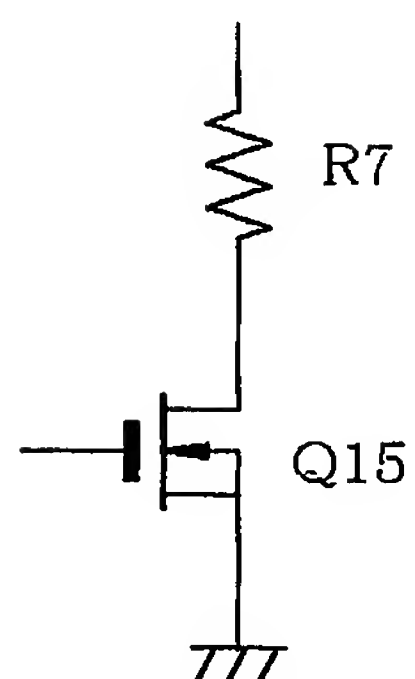
(図13)

【図 14】



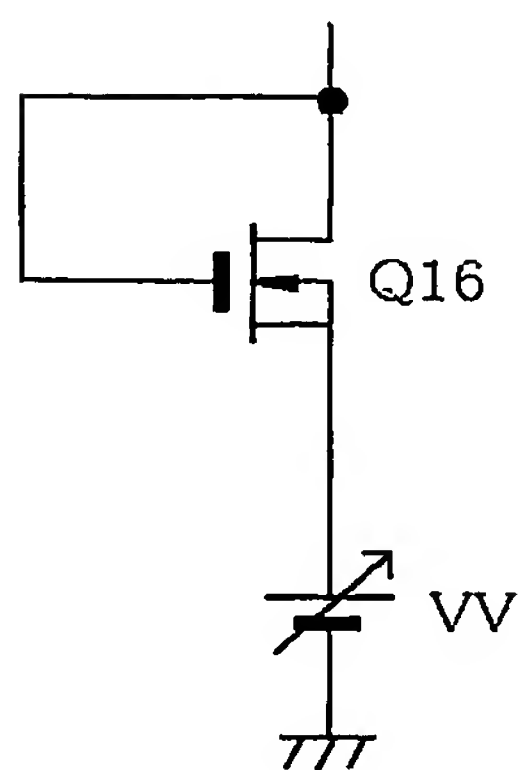
(図14)

【図 15】



(図15)

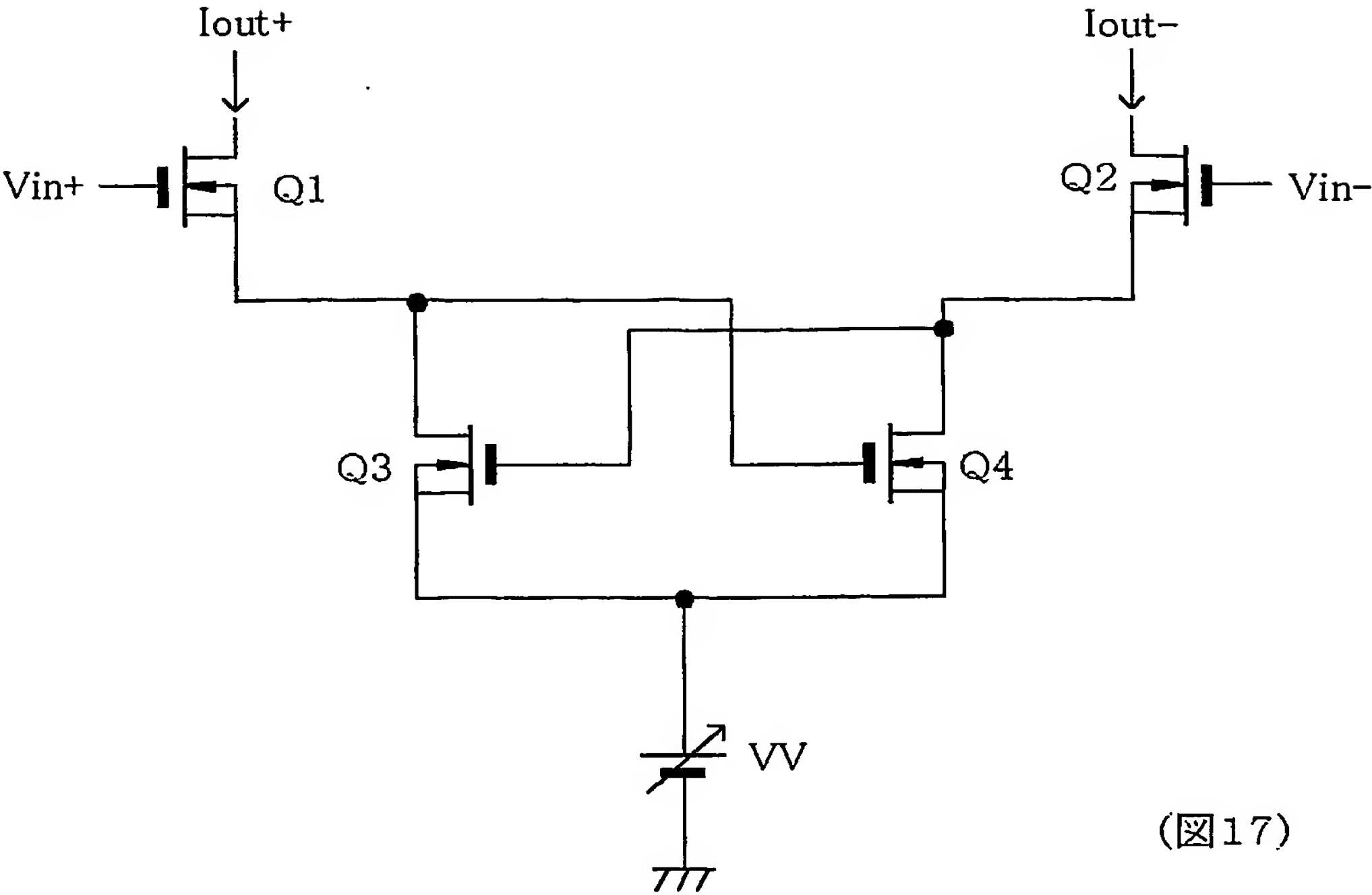
【図 16】



(図16)

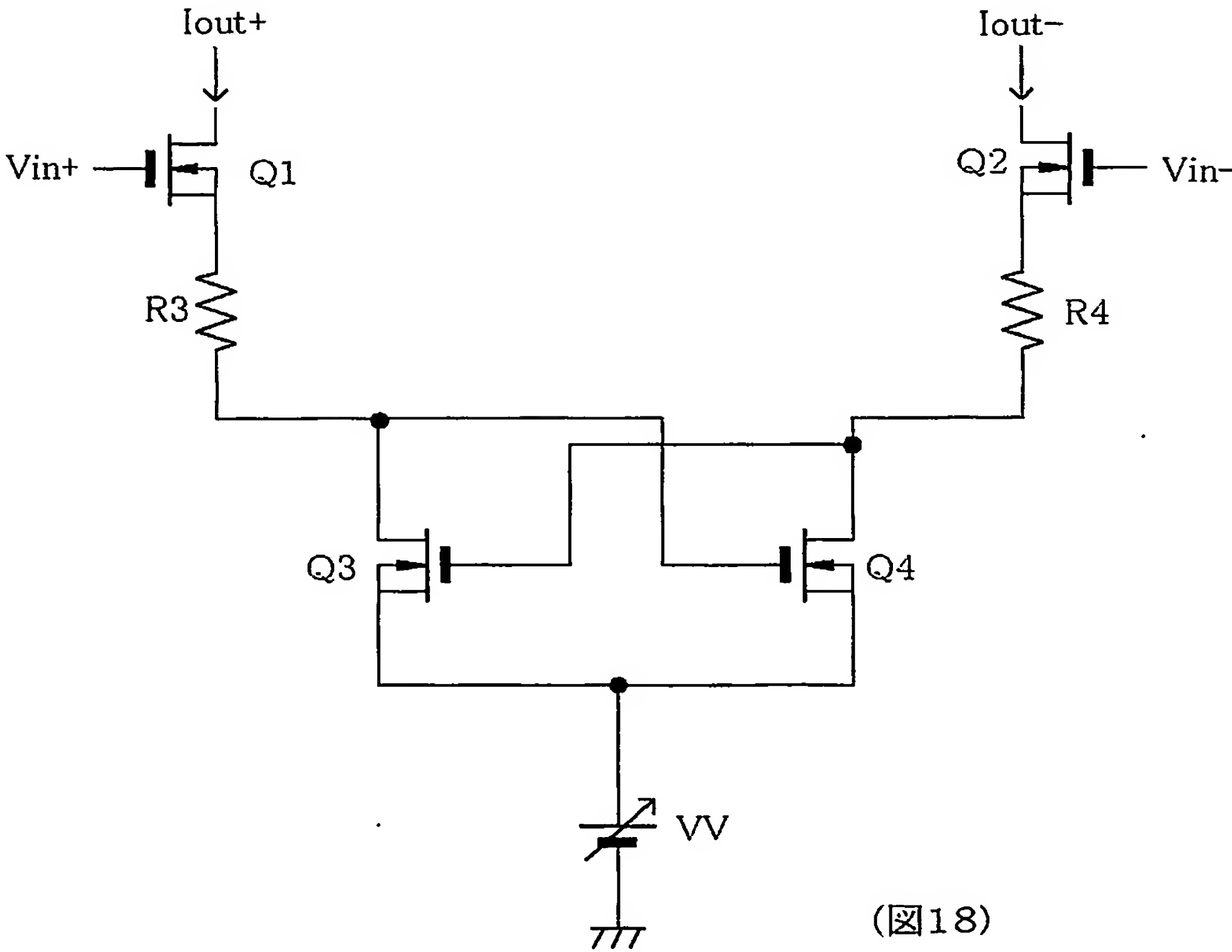


【図 17】



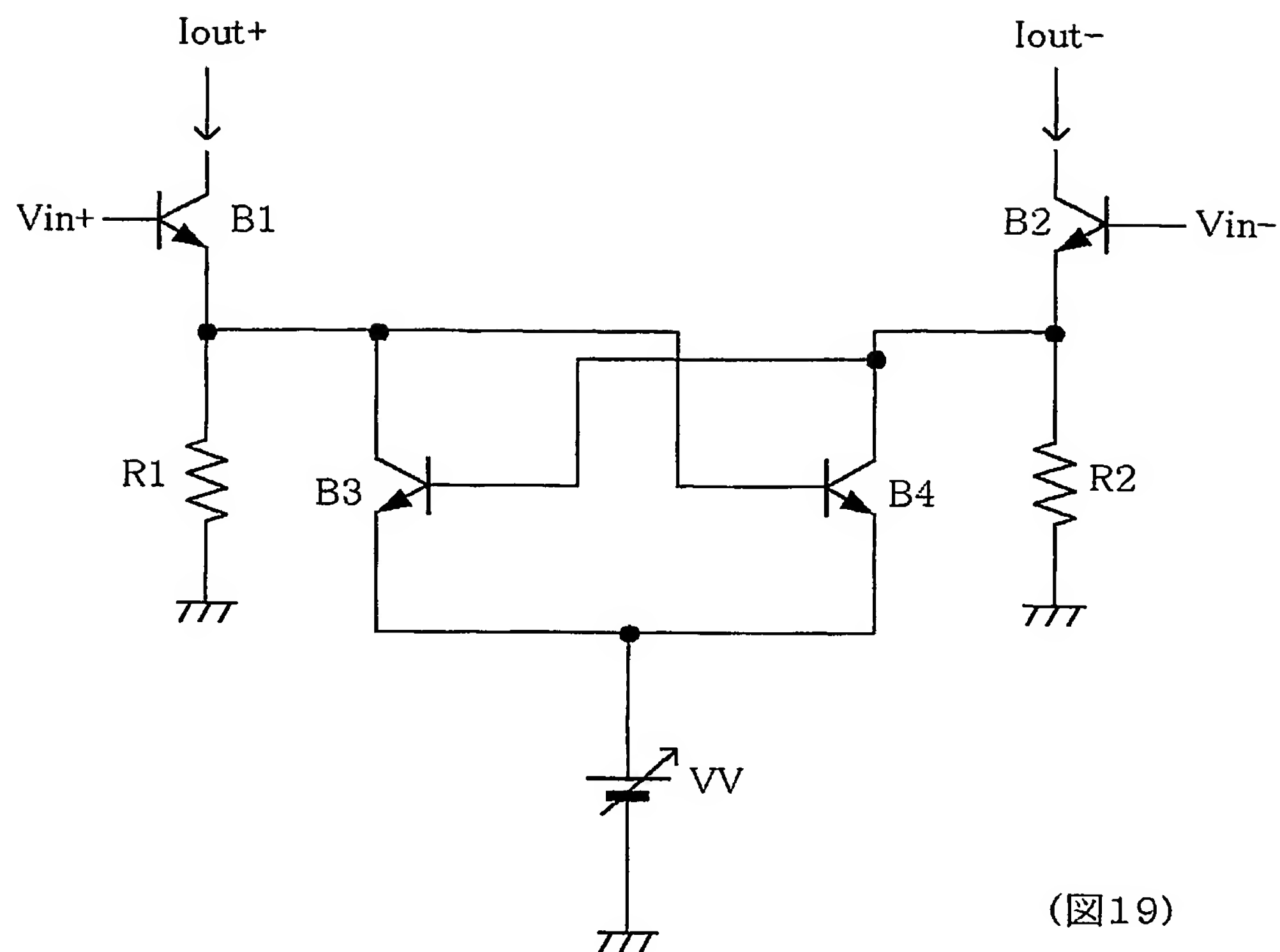
(図17)

【図 18】



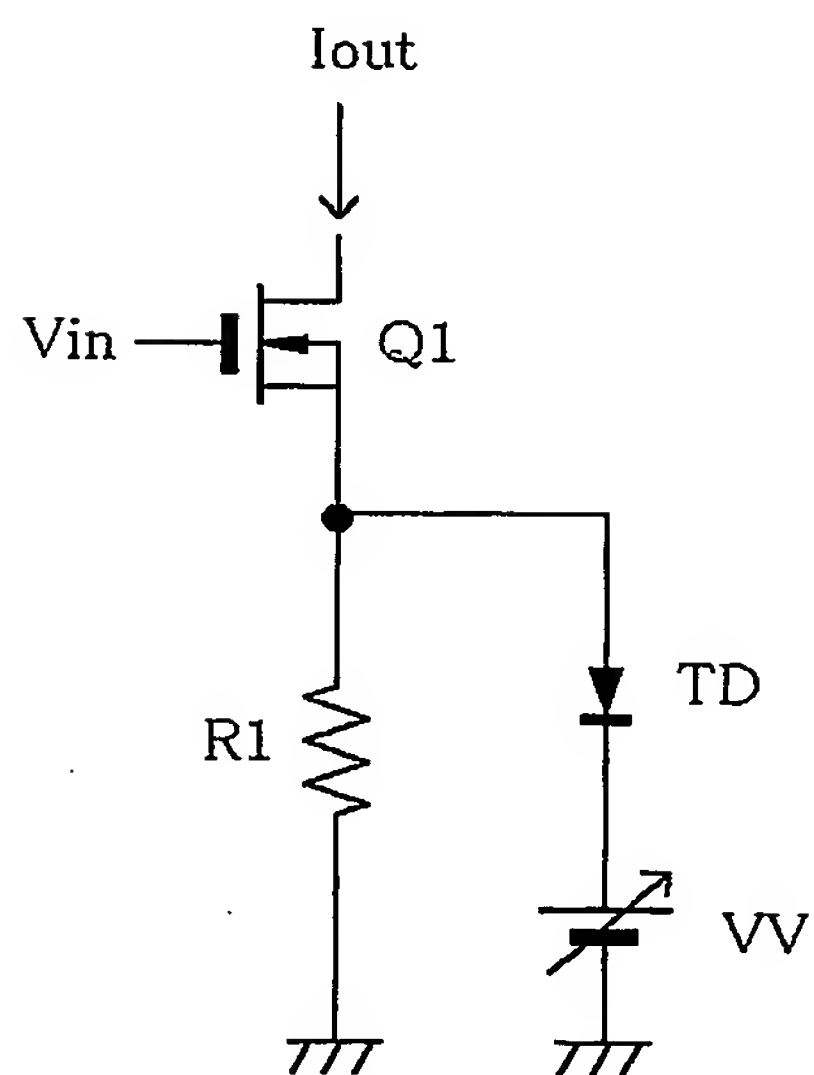
(図18)

【図 19】



(図19)

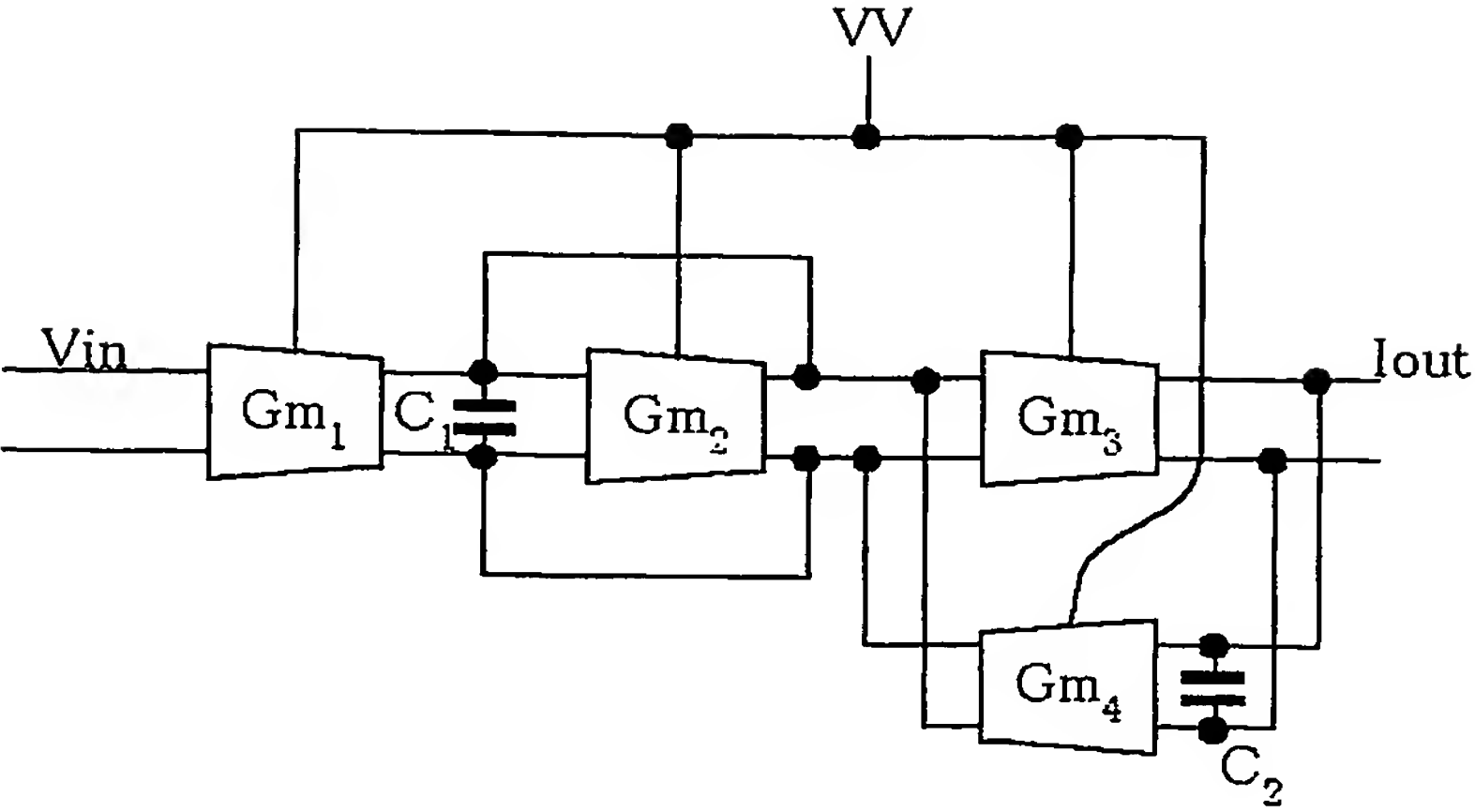
【図 20】



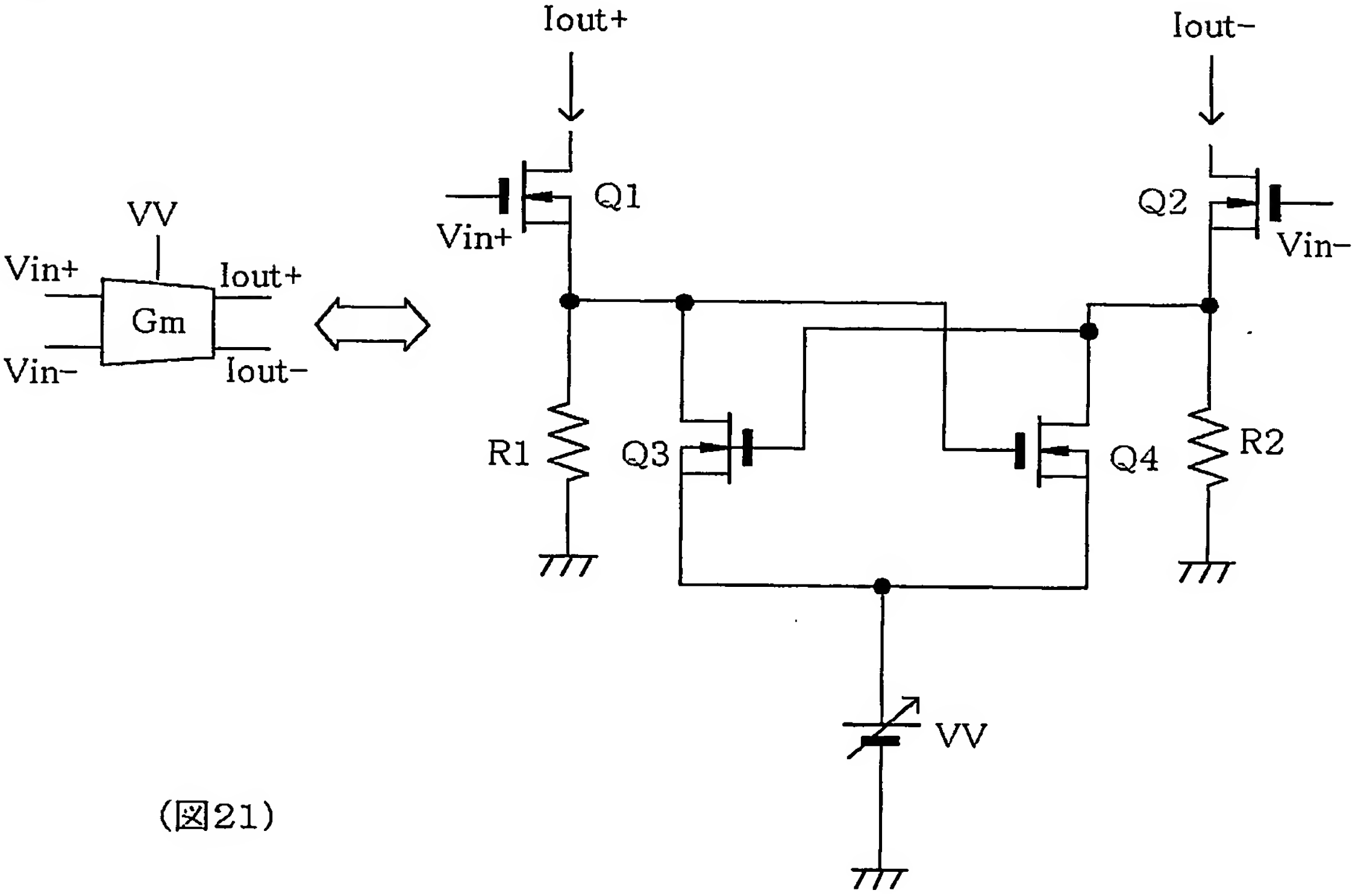
(図20)

【図 21】

(a)

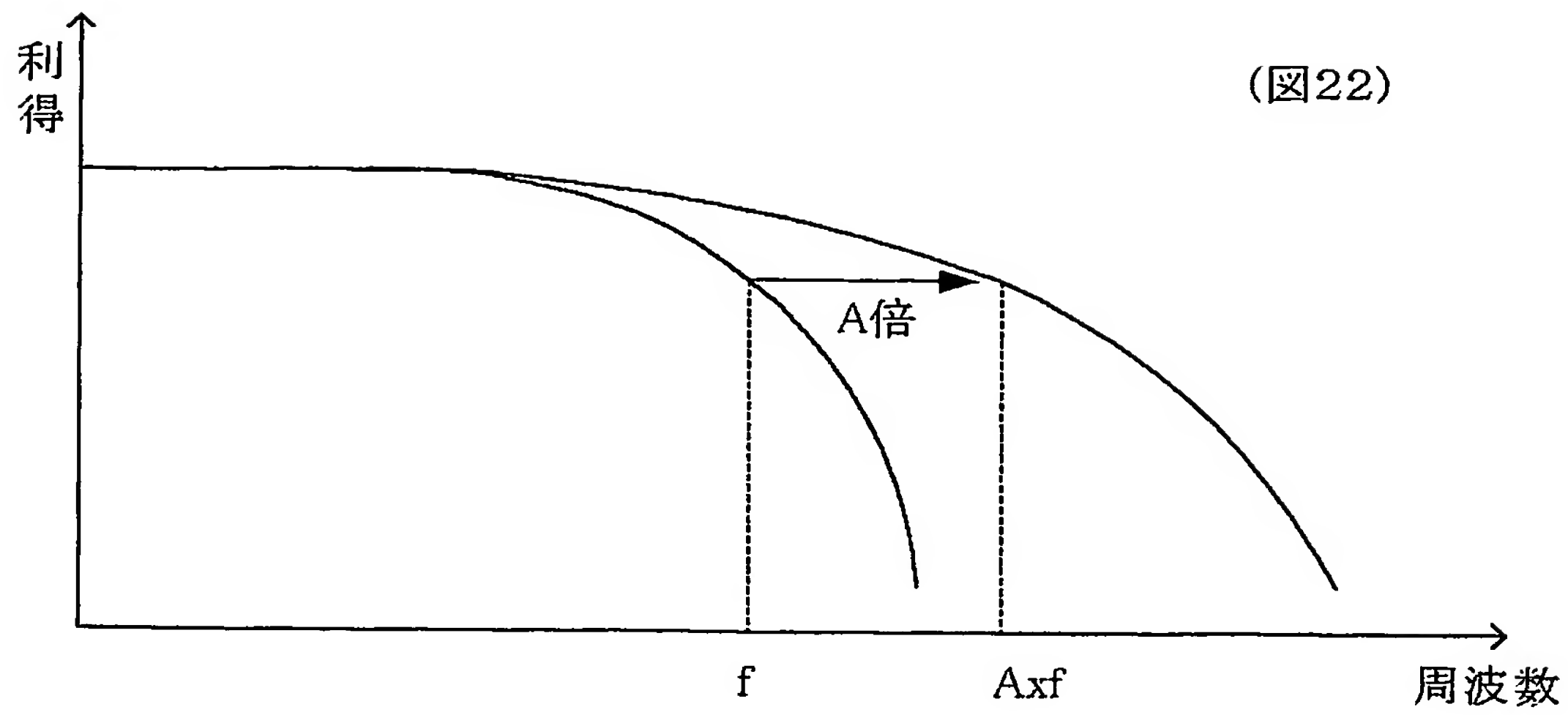


(b)

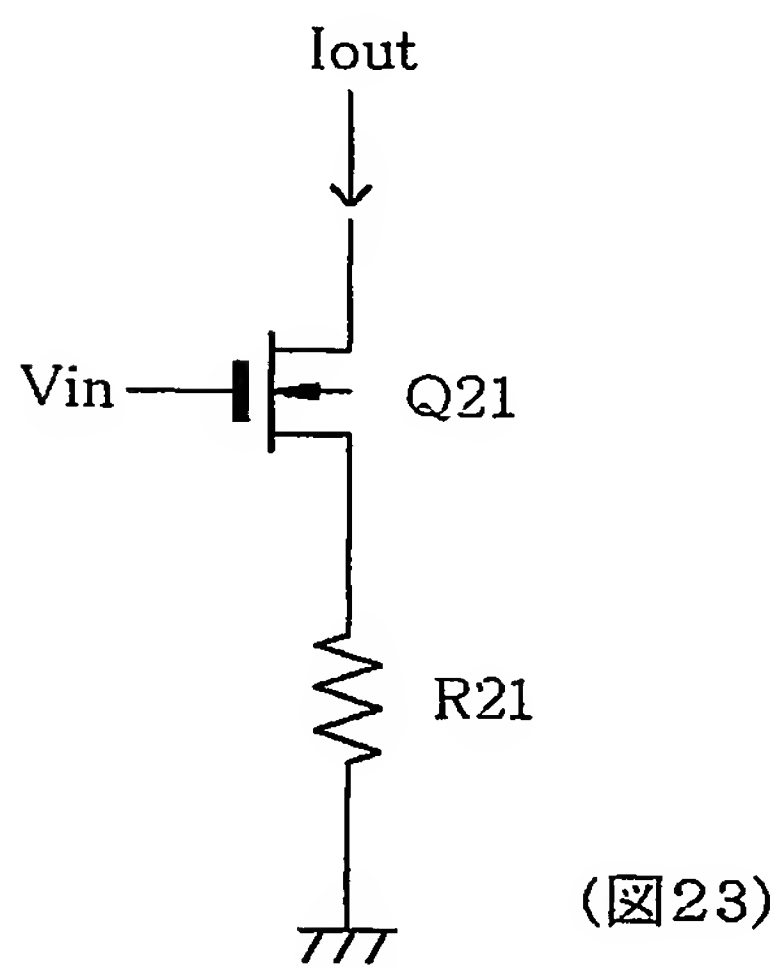


(図21)

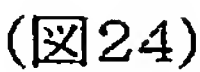
【図 22】



【図 23】

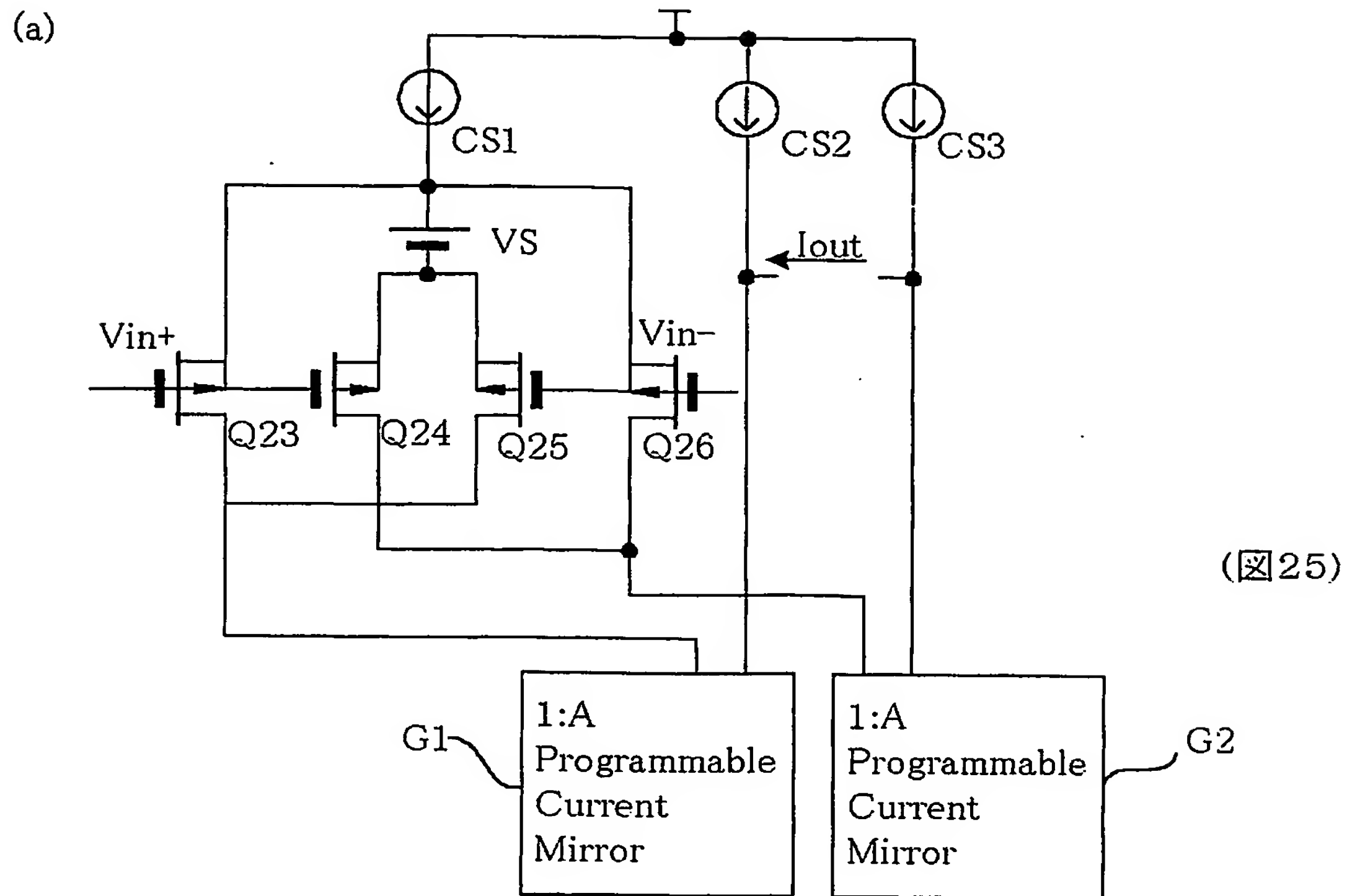


【図 24】





【圖 25】



【書類名】 要約書

【要約】

【課題】 多くの点数の素子を使用することなく、大きく利得範囲を変化させることのできる  $g_m$  アンプを提供する。

【解決手段】 、電圧・電流変換を行うトランジスタ  $Q_1$ 、 $Q_2$  に直列に、正抵抗  $R_1$  ( $R_2$ ) と負性抵抗として機能するトランジスタ  $Q_3$  ( $Q_4$ ) との並列回路を接続する。 $Q_3$  ( $Q_4$ ) と接地間に可変電圧源  $V_V$  を接続し、その電圧値を制御することにより、 $Q_3$  ( $Q_4$ ) の抵抗値を制御する。

【効果】 可変電圧源  $V_V$  の電圧を変化させると  $Q_3$  ( $Q_4$ ) の抵抗値が変化しこれによりトランジスタ  $Q_1$ 、 $Q_2$  のゲート-ソース間電圧が変化し、その  $g_m$  値が変化する。

【選択図】 図 6

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 0 5 3 3
受付番号	5 0 3 0 0 0 7 5 6 0 0
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 1 月 2 1 日

<認定情報・付加情報>  
【提出日】 平成15年 1月20日

特願 2 0 0 3 - 0 1 0 5 3 3

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社